

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. März 2003 (06.03.2003)

PCT

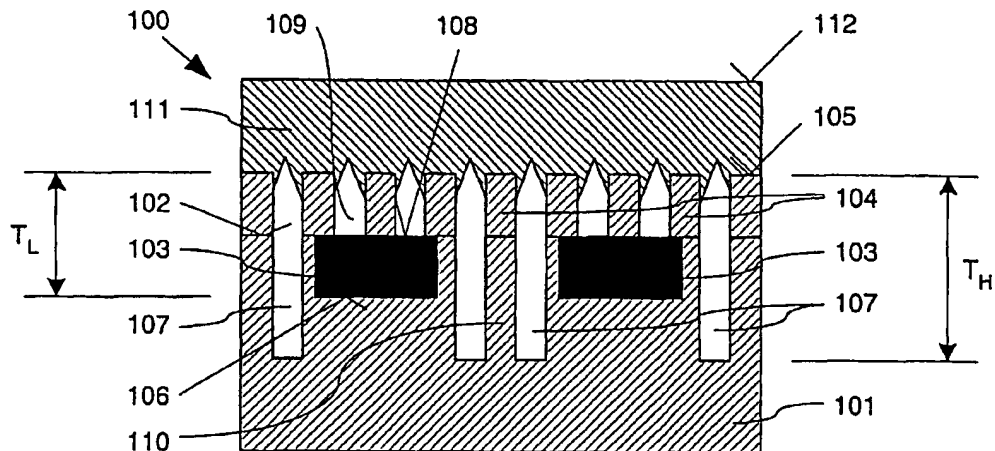
(10) Internationale Veröffentlichungsnummer
WO 03/019649 A2

- (51) Internationale Patentklassifikation⁷: **H01L 21/768** (72) Erfinder; und
(21) Internationales Aktenzeichen: **PCT/DE02/02946** (75) Erfinder/Anmelder (nur für US): **SCHINDLER, Gün-**
(22) Internationales Anmeldedatum: **9. August 2002 (09.08.2002)** **PAMLER, Werner** [DE/DE]; Ungererstr. 19, 80802 München (DE).
München (DE). **GABRIC, Zvonimir** [HR/DE]; Her-
zog-Rudolf-Weg 25, 85604 Zorneding (DE).
(25) Einreichungssprache: **Deutsch** (74) Anwalt: **VIERING, JENTSCHURA & PARTNER;**
(26) Veröffentlichungssprache: **Deutsch** Steinsdorfstr. 6, 80538 München (DE).
(30) Angaben zur Priorität: **101 40 754.8** **20. August 2001 (20.08.2001)** **DE** (81) Bestimmungsstaaten (national): **JP, KR, US.**
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE). (84) Bestimmungsstaaten (regional): **europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).**

[Fortsetzung auf der nächsten Seite]

(54) Title: **STRIP CONDUCTOR ARRANGEMENT AND METHOD FOR PRODUCING A STRIP CONDUCTOR ARRANGEMENT**

(54) Bezeichnung: **LEITERBAHNANORDNUNG UND VERFAHREN ZUM HERSTELLEN EINER LEITERBAHNANORDNUNG**



(57) Abstract: The invention relates to a conductor arrangement (100) containing a substrate (101) made from a first insulating material with a substrate surface (102), wherein at least two conductors (103) are arranged next to each other in the substrate (101). Said arrangement also comprises a buffer layer (104) made from a second insulating material arranged on the substrate (101) and a buffer layer surface (105) which is parallel to the substrate surface (102), at least one cavity (107) arranged between the conductors (103) preferably protruding deeper into the substrate (101) deeper than the conductors (103) in the substrate in relation to the buffer surface layer (105) and a covering layer made from a third insulating material (111) arranged on the buffer layer (104) and which completely closes the cavity (107) in relation to the buffer layer surface (105).

[Fortsetzung auf der nächsten Seite]

WO 03/019649 A2

BEST AVAILABLE COPY



Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Eine Leiterbahnanordnung (100) weist auf ein Substrat (101) aus einem ersten Isolationsmaterial mit einer Substratoberfläche (102), mindestens zwei nebeneinander in dem Substrat (101) angeordnete Leiterbahnen (103), mit einer Pufferschicht (104) aus einem zweiten Isolationsmaterial über dem Substrat (101) und mit einer zu der Substratoberfläche (102) parallelen Pufferschichtoberfläche (105), mindestens einen zwischen den Leiterbahnen (103) angeordneten, bezüglich der Pufferschichtoberfläche (105) tiefer als die Leiterbahnen (103) in das Substrat (101) hineinragenden Hohlraum (107), und eine über der Pufferschicht (104) angeordnete Deckschicht (111) aus einem dritten Isolationsmaterial, welche den Hohlraum (107) vollständig zur Pufferschichtoberfläche (105) hin abschliesst.

Beschreibung**Leiterbahnanordnung und Verfahren zum Herstellen einer
Leiterbahnanordnung**

5

Die Erfindung betrifft eine Leiterbahnanordnung und ein Verfahren zum Herstellen einer Leiterbahnanordnung.

Integrierte Schaltungsanordnungen werden mit immer höherer
10 Packungsdichte erzeugt. Dies hat zur Folge, dass Leiterbahnen
in Metallisierungsebenen einen immer kleineren Abstand
voneinander aufweisen. Dadurch steigen Kapazitäten, die
zwischen den Leiterbahnen gebildet werden und zu hohen
Signallaufzeiten, hoher Verlustleistung und Übersprechen
15 führen. Bisher wurde zur Isolation zwischen den Leiterbahnen
hauptsächlich SiO_2 als Dielektrikum verwendet, dessen
relative Dielektrizitätskonstante $\epsilon_r = 3,9$ beträgt.

Es sind einige Methoden zum Reduzieren der relativen
20 Dielektrizitätskonstante ϵ_r und damit zum Reduzieren der
Kapazität zwischen Leiterbahnen innerhalb einer
Leiterbahnebene bekannt, beispielsweise aus [1] bis [8].

Gemäß dem Stand der Technik werden Hohlräume zwischen den
25 Leiterbahnen innerhalb einer Leiterbahnebene erzeugt. Das
isolierende Dielektrikum, das die Kapazität zwischen den
Leiterbahnen bestimmt, weist somit eine relative
Dielektrizitätskonstante ϵ_r auf, die fast gleich Eins ist.
Die Leiterbahnen selbst sind dabei zur Isolation oben und
30 unten von massiven SiO_2 -Schichten eingeschlossen.

Da zur Gesamtkapazität zwischen innerhalb einer Schicht
benachbarten Leiterbahnen auch in nicht unerheblichem Maße
die Kapazitäten der darunter und darüber liegenden
35 isolierenden Schichten beitragen und diese isolierenden
Schichten nach wie vor aus SiO_2 -Vollmaterial bestehen, hat
die hohe relative Dielektrizitätskonstante ϵ_r dieser

isolierenden Schichten einen beträchtlichen Einfluss auf die Gesamtkapazität zwischen den benachbarten Leiterbahnen.

Der Erfindung liegt somit das Problem zugrunde, eine
5 Leiterbahnanordnung sowie ein Verfahren zum Herstellen einer Leiterbahnanordnung anzugeben, bei der/dem die Hohlräume zwischen den Leiterbahnen bei geeigneter Geometrie und Verteilung einen möglichst großen Raum einnehmen.

10 Das Problem wird durch eine Leiterbahnanordnung sowie durch ein Verfahren zum Herstellen einer Leiterbahnanordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Eine Leiterbahnanordnung weist ein Substrat aus einem ersten
15 elektrischen Isolationsmaterial mit einer Substratoberfläche auf. Des Weiteren sind mindestens zwei elektrisch leitfähige Leiterbahnen in dem Substrat angeordnet, welche ein elektrisch leitfähiges Material aufweisen. Die Leiterbahnanordnung weist außerdem eine Pufferschicht aus
20 einem zweiten elektrischen Isolationsmaterial über der Substratoberfläche auf, wobei die Pufferschicht eine zu der Substratoberfläche parallele Pufferschichtoberfläche aufweist. Mindestens ein Hohlraum ragt von der Pufferschichtoberfläche aus durch die Pufferschicht hindurch
25 in das Substrat hinein, wobei der Hohlraum zwischen den Leiterbahnen angeordnet ist und bezüglich der Pufferschichtoberfläche tiefer als die Leiterbahnen in das Substrat hineinragt. Über der Pufferschicht ist eine Deckschicht angeordnet, welche ein drittes elektrisches
30 Isolationsmaterial aufweist und den Hohlraum vollständig zur Pufferschichtoberfläche hin abschließt.

Bei einem Verfahren zum Herstellen einer Leiterbahnanordnung werden zunächst in einem Substrat unter einer
35 Substratoberfläche mindestens zwei elektrisch leitfähige Leiterbahnen erzeugt, wobei das Substrat ein erstes elektrisches Isolationsmaterial und die Leiterbahnen ein

elektrisch leitfähiges Material aufweisen. Die Leiterbahnen werden dabei nebeneinander in dem Substrat angeordnet. Daraufhin wird über der Substratoberfläche eine Pufferschicht aus einem zweiten elektrischen Isolationsmaterial erzeugt, wobei die Pufferschicht eine zu der Substratoberfläche parallele Pufferschichtoberfläche aufweist. Dann wird ein von der Pufferschichtoberfläche aus durch die Pufferschicht hindurch in das Substrat hineinragender, zwischen den Leiterbahnen sich erstreckender Hohlraum erzeugt, wobei sich der Hohlraum bezüglich der Pufferschichtoberfläche tiefer in das Substrat hinein erstreckt als die Leiterbahnen. Schließlich wird über der Pufferschicht eine Deckschicht aus einem dritten elektrischen Isolationsmaterial erzeugt, wodurch der Hohlraum vollständig zur Pufferschichtoberfläche hin abgeschlossen wird. Das Substrat, die Leiterbahnen, die Pufferschicht und die Deckschicht bilden somit die Leiterbahnanordnung.

Ein Vorteil der Erfindung ist darin zu sehen, dass auf Grund des sehr großen Hohlraums als isolierende Schicht zwischen benachbarten Leiterbahnen die effektive relative Dielektrizitätskonstante ϵ_r der isolierenden Schicht zwischen den benachbarten Leiterbahnen nur gering von Eins abweicht und somit die Kapazität zwischen diesen Leiterbahnen reduziert wird. Die Leiterbahnanordnung ermöglicht eine erhebliche Reduzierung der Gesamtkapazität innerhalb einer integrierten Schaltung.

Ein weiterer Vorteil der Leiterbahnanordnung ist, dass der Hohlraum unerwünschte Streufelder zwischen den Leiterbahnen, welche von den Leiterbahnen oberhalb bzw. unterhalb der tatsächlichen Leiterbahnebene in der Leiterbahnanordnung erzeugt werden, erheblich reduziert. Somit beträgt die effektive relative Dielektrizitätskonstante ϵ_r , welche sowohl von der relativen Dielektrizitätskonstante des Hohlraums als auch von derjenigen des umgebenden Materials beeinflusst wird, in etwa Zwei. Dabei ist der Wert der effektiven

relativen Dielektrizitätskonstante ϵ_r von der Geometrie der gesamten Leiterbahnanordnung abhängig.

Darüber hinaus ergibt sich der Vorteil einer hohen Stabilität während der Herstellung der Leiterbahnanordnung, da beim Planarisieren der Leiterbahnen in einem chemisch-mechanischen Poliervorgang (CMP) während der Erzeugung der Leiterbahnen diese noch in dem massiven Substrat eingebettet sind. Erst nach dem Erzeugen der Leiterbahnen wird der Hohlraum in das Substrat eingebracht und somit wird die mechanische Stabilität des Substrats erst dann reduziert.

Außerdem werden Koppelkapazitäten zwischen den Leiterbahnen auf Grund von Ätz- und/oder CMP-Stoppschichten vermieden. Denn diese Stoppschichten werden während des Erzeugens des Hohlraums, vorzugsweise mittels Ätzung, derart unterbrochen, dass benachbarte Leiterbahnen mittels einer solchen Stoppschicht keinen Berührungskontakt aufweisen.

In dem Hohlraum befindet sich nach Fertigstellung der Leiterbahnanordnung bevorzugt Luft, Vakuum oder ein elektrisch isolierendes Gas zur Verbesserung der elektrischen Überschlagsfestigkeit, beispielsweise Schwefelhexafluorid (SF_6).

Die Leiterbahnen können in dem Substrat vergraben angeordnet sein.

Vorzugsweise erstreckt sich der Hohlraum teilweise in die auf dem Substrat befindliche Deckschicht. Dies trägt zu einer zusätzlichen Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r bei.

In einer bevorzugten Weiterbildung der erfindungsgemäßen Leiterbahnanordnung reicht die Deckschicht im Bereich der Pufferschicht teilweise in den Hohlraum hinein. Dabei weist die Deckschicht von der Pufferschichtoberfläche aus

betrachtet in dem Hohlraum eine abnehmende Kantenbedeckung auf, so dass die Deckschicht in dem Hohlraum nicht bis zu der Substratoberfläche hinabreicht. Diese Ausgestaltung der Leiterbahnanordnung ergibt sich aus dem zum Herstellen des Hohlraums bzw. der Deckschicht verwendeten Verfahren, welches weiter unten beschrieben wird. Dabei ist die abnehmende Kantenbedeckung innerhalb des Hohlraums wichtig, damit gemäß dieser Ausgestaltung der Erfindung keine Erhöhung der effektiven relativen Dielektrizitätskonstante ϵ_r verursacht wird.

Vorzugsweise überdeckt die Deckschicht die Pufferschicht und befindet sich zwischen den Leiterbahnen und der Pufferschichtoberfläche über den Leiterbahnen mindestens ein zusätzlicher Hohlraum. Dieser zusätzliche Hohlraum kann folglich weniger tief in das Substrat hineinragen als der Hohlraum, da der zusätzliche Hohlraum von den Leiterbahnen nach unten begrenzt wird. Der zusätzliche Hohlraum ermöglicht eine zusätzliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r , da folglich auch oberhalb der Leiterbahnen auf eine massive Isolationsschicht mit hoher effektiver relativer Dielektrizitätskonstante ϵ_r verzichtet wird.

Um auf die Leiterbahnanordnung zusätzliche Leiterbahnebenen aufbringen zu können, ist die Deckschicht bevorzugt von einer parallel zur Substratoberfläche angeordneten Deckschichtoberfläche begrenzt.

Vorzugsweise ragen von der Pufferschichtoberfläche aus mehrere Hohlräume zwischen zwei benachbarte Leiterbahnen in das Substrat hinein. Wenn statt eines einzigen großvolumigen Hohlraums mehrere kleinvolumige Hohlräume verwendet werden, welche mittels dünner Zwischenwände voneinander getrennt sind, kann die Stabilität der erfindungsgemäßen Leiterbahnanordnung erhöht werden. Die dünnen Zwischenwände dienen dann als eine Art mechanischer Stützen für über der

erfindungsgemäßen Leiterbahnanordnung angeordnete zusätzliche Leiterbahnebenen. Anschaulich können die dünnen Zwischenwände auch als Pfosten bezeichnet werden.

- 5 Gemäß einer bevorzugten Ausführungsform der erfindungsgemäßen Leiterbahnanordnung ist über der Pufferschichtoberfläche eine Trageschicht aus einem vierten elektrischen Isolationsmaterial angeordnet. Das vierte elektrische Isolationsmaterial ist ungleich dem ersten, zweiten oder
10 dritten elektrischen Isolationsmaterial und das dritte elektrische Isolationsmaterial lässt sich selektiv nur an dem vierten elektrischen Isolationsmaterial abscheiden.

- Vorzugsweise ist in dem Substrat relativ zur
15 Substratoberfläche unter den Leiterbahnen eine Stoppschicht vorgesehen. Diese Stoppschicht begrenzt den Hohlraum nach unten. Die Stoppschicht ist insbesondere als Barriere für das zum Herstellen des Hohlraums anzuwendende Ätzverfahren ausgebildet, so dass beim Ätzen des Substrates die Tiefe des
20 zu ätzenden Hohlraums exakt eingestellt werden kann. Wenn mit einem separaten Ätzverfahren in freigelegten Bereichen der Stoppschicht diese bis zum Freilegen darunter liegender Bereiche des Substrats selektiv entfernt wird, kann die Tiefe des Hohlraums noch um die Dicke der Stoppschicht vergrößert
25 werden. Dadurch kann eine zusätzliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r erreicht werden.

- Zusätzlich kann über der Trageschicht und der Deckschicht
30 eine zusätzliche Stoppschicht vorgesehen sein, auf der dann zusätzliche Leiterbahnebenen vorgesehen sein können. In diesem Fall dient die zusätzliche Stoppschicht als Barriere zum Schutz der unter dieser zusätzlichen Stoppschicht befindlichen Strukturen während des Herstellens der darüber
35 befindlichen zusätzlichen Leiterbahnebenen.

- Die Leiterbahnen sind bevorzugt in einem Abstand zueinander angeordnet, welcher kleiner als die Ausdehnung des Hohlraums in Richtung des Abstandes zwischen den Leiterbahnen oberhalb und/oder unterhalb der Leiterbahnen ist. Anschaulich ist dann
- 5 die Form des Hohlraums mit einem „I“ oder mit einem Knochen vergleichbar. Die größere Ausdehnung des Hohlraums oberhalb und/oder unterhalb der Leiterbahnen trägt zu einer zusätzlichen Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r bei.
- 10 Vorzugsweise sind das erste elektrische Isolationsmaterial und das zweite elektrische Isolationsmaterial gleich. Des Weiteren sind/ist das erste elektrische Isolationsmaterial und/oder das zweite elektrische Isolationsmaterial und/oder
- 15 das dritte elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial bevorzugt ein low-k-Material, das eine relative Dielektrizitätskonstante ϵ_r im Bereich zwischen 1 und 4 hat. Da auch die Deckschicht einen Beitrag zur Gesamtkapazität zwischen benachbarten Leiterbahnen
- 20 liefert, sollte darauf geachtet werden, dass auch das für die Deckschicht verwendete dritte elektrische Isolationsmaterial eine niedrige relative Dielektrizitätskonstante ϵ_r aufweist.
- In einer bevorzugten Weiterbildung der erfindungsgemäßen
- 25 Leiterbahnanordnung weisen/weist erste elektrische Isolationsmaterial und/oder das zweite elektrische Isolationsmaterial und/oder das dritte elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial ein organisches Material auf. Das erste
- 30 und/oder das zweite elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial der Leiterbahnanordnung weisen/weist jedoch bevorzugt Siliziumdioxid (SiO_2) auf. Bei der Verwendung von organischem Material werden bevorzugt Polymere in einer Methan-Umgebung
- 35 während eines PECVD-Prozesses (PECVD = plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) aufgebracht.

Vorzugsweise sind die Leiterbahnen im Wesentlichen in gleicher Tiefe zur Substratoberfläche angeordnet und ragt der Hohlraum im Wesentlichen senkrecht in das Substrat hinein.

5

Gemäß einer weiteren bevorzugten Ausführungsform der erfindungsgemäßen Leiterbahnanordnung sind die Leiterbahnen von einer dünnen Kapselschicht aus einem Kapselmaterial eingekapselt. Dabei ist das Kapselmaterial mechanisch härter als das elektrisch leitfähige Material, mechanisch härter als das erste elektrische Isolationsmaterial sowie mechanisch härter als das zweite elektrische Isolationsmaterial. Das Einkapseln der Leiterbahnen dient einer Erhöhung der Elektromigrationsfestigkeit der Leiterbahnen, wenn als erstes elektrisches Isolationsmaterial und/oder als zweites elektrisches Isolationsmaterial ein mechanisch weiches Material, beispielsweise ein organisches Material, gewählt wird. Das Kapselmaterial kann beispielsweise eine Nitrid-Verbindung sein.

20

Die Leiterbahnen können zumindest teilweise auf elektrisch leitfähigen Bereichen in dem Substrat angeordnet sein, wodurch elektrische Kontakte zwischen verschiedenen Leiterbahnebenen möglich sind.

25

Bei einem bevorzugten Verfahren zum Herstellen einer Leiterbahnanordnung werden vor dem Erzeugen der Deckschicht zwischen der Pufferschichtoberfläche und den Leiterbahnen ein zusätzlicher Hohlraum über den Leiterbahnen erzeugt. Dabei wird der zusätzliche Hohlraum von den Leiterbahnen nach unten begrenzt, so dass sich der zusätzliche Hohlraum in geringerer Tiefe in die Pufferschicht bzw. in das Substrat hinein erstreckt als der Hohlraum.

35 In einer bevorzugten Weiterbildung des Verfahrens wird die Deckschicht in einem Prozess mit einer geringen Kantenbedeckung, also in einem nicht-konformen Verfahren,

erzeugt. Solch ein Prozess stellt sicher, dass nur geringfügig drittes elektrisches Isolationsmaterial, aus welchem die Deckschicht gebildet wird, in den Hohlraum eindringen kann. Somit wird eine unerwünschte Füllung des Hohlraums mit drittem elektrischen Isolationsmaterial behindert. Das dritte elektrische Isolationsmaterial der Deckschicht wird vorzugsweise mittels eines CVD-Prozesses (CVD = chemical vapor deposition = chemische Gasphasenabscheidung) mit möglichst geringer Kantenbedeckung abgeschieden. Dazu wird der CVD-Prozess im diffusionsbestimmten Parameterbereich, vorzugsweise mittels Druckerhöhung, betrieben. Statt mittels eines CVD-Prozesses kann das dritte elektrische Isolationsmaterial zum Herstellen der Deckschicht auch mittels eines Sputter-Prozesses aufgebracht werden. Ein möglicherweise tief in den Hohlraum eingedrungenes drittes elektrisches Isolationsmaterial kann während einer Unterbrechung der Deckschichterzeugung mit Hilfe einer kurzen isotropen Ätzung, beispielsweise nasschemisch oder auch trocken in einem Downstream-Ätzprozess, wieder entfernt werden. Ein solcher erfindungsgemäß einsetzbarer Downstream-Ätzprozess ist in [9] beschrieben. Alternativ kann das dritte elektrische Isolationsmaterial auch mittels eines Aufschleuderverfahrens, eines sogenannten „Spin-on Prozesses“, aufgebracht werden, wenn das dritte elektrische Isolationsmaterial eine ausreichende Oberflächenspannung aufweist. Dabei sollte die Benetzung der Pufferschichtoberfläche so gering wie möglich gehalten werden, damit so wenig wie möglich drittes elektrisches Isolationsmaterial in den Hohlraum eindringt.

Das Erzeugen der Deckschicht kann beispielsweise derart erfolgen, dass zunächst drittes elektrisches Isolationsmaterial mittels eines nicht-konformen Verfahrens über der Pufferschichtoberfläche abgeschieden wird, bis der Hohlraum nach oben abgeschlossen ist. Anschließend wird darüber drittes elektrisches Isolationsmaterial mittels eines konformen Standardverfahrens abgeschieden. Die Geometrie des

Hohlraums sollte derart gewählt werden, dass während des nicht-konformen Verfahrens kaum drittes elektrisches Isolationsmaterial in den entstehenden Hohlraum eindringt. Dadurch kommt es zu einer nur sehr geringen Bedeckung der Hohlraumwände mit drittem elektrischen Isolationsmaterial, wodurch die relative Dielektrizitätskonstante ϵ_r der gesamten Leiterbahnanordnung nur unwesentlich beeinflusst wird. Bei kleineren Strukturgrößen wie beispielsweise einer hochintegrierten Schaltung (VLSI-Schaltung = very large scale integration) kann keine Bedeckung der Hohlraumwände mit drittem elektrischen Isolationsmaterial mehr festgestellt werden.

Der Hohlraum wird bevorzugt wie folgt erzeugt: Zunächst wird auf der Trageschicht eine geeignete Ätzmaske erzeugt. Dann wird mittels eines Ätzprozesses in Bereichen der Trageschicht, welche mittels der Ätzmaske nicht bedeckt werden, Material der Trageschicht, der Pufferschicht und des Substrats in vorbestimmter Weise entfernt. Schließlich wird die Ätzmaske wieder entfernt.

Vorzugsweise wird der Hohlraum wie folgt verschlossen: Zunächst wird drittes elektrisches Isolationsmaterial selektiv nur an dem vierten elektrischen Isolationsmaterial mindestens solange abgeschieden, bis der Hohlraum vollständig abgeschlossen ist. Dann wird das dritte elektrische Isolationsmaterial, welches auf der Trageschicht abgeschieden wurde, mittels chemisch-mechanischen Polierens teilweise wieder entfernt. Somit wird die Deckschicht eingeebnet, so dass eine ebene Oberfläche für zusätzlich über der Deckschicht aufzubringende Leiterbahnebenen gebildet wird.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Folgenden näher erläutert. Dabei bezeichnen gleiche Bezugszeichen gleiche Komponenten.

Es zeigen

- Figur 1 einen Querschnitt senkrecht zur Substratoberfläche durch eine Leiterbahnanordnung gemäß einem ersten Ausführungsbeispiel der Erfindung;

5 Figur 2 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem ersten Zeitpunkt während eines ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;

10 Figur 3 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem zweiten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;

15 Figur 4 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem dritten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;

20 Figur 5 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem vierten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;

25 Figur 6 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem ersten Zeitpunkt während eines alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;

30

35

- Figur 7 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem zweiten Zeitpunkt während des alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;
- Figur 8 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem dritten Zeitpunkt während des alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;
- Figur 9 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem ersten Zeitpunkt während eines zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;
- Figur 10 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.1 zu einem zweiten Zeitpunkt während des zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel;
- Figur 11 einen Querschnitt parallel zur Substratoberfläche durch die Leiterbahnanordnung gemäß dem ersten Ausführungsbeispiel der Erfindung aus Fig.1;
- Figur 12 einen Querschnitt senkrecht zur Substratoberfläche durch eine Leiterbahnanordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung;
- Figur 13 einen Querschnitt senkrecht zur Substratoberfläche durch eine Leiterbahnanordnung gemäß einem dritten Ausführungsbeispiel der Erfindung;

- Figur 14 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem ersten Zeitpunkt während eines Herstellungsverfahrens der
5 Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- Figur 15 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem zweiten
10 Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- Figur 16 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte
15 Leiterbahnanordnung gemäß Fig.12 zu einem dritten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- Figur 17 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte
20 Leiterbahnanordnung gemäß Fig.12 zu einem vierten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- 25 Figur 18 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem fünften Zeitpunkt während des Herstellungsverfahrens der
30 Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- Figur 19 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem sechsten Zeitpunkt während des Herstellungsverfahrens der

Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;

- Figur 20 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte
5 Leiterbahnanordnung gemäß Fig.12 zu einem siebten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- Figur 21 einen Querschnitt senkrecht zur Substratoberfläche
10 durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem achten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten Ausführungsbeispiel;
- 15 Figur 22 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig.12 zu einem neunten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem zweiten
20 Ausführungsbeispiel;
- Figur 23 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte
25 Leiterbahnanordnung gemäß Fig.13 zu einem ersten Zeitpunkt während eines Herstellungsverfahrens der Leiterbahnanordnung gemäß dem dritten Ausführungsbeispiel; und
- Figur 24 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte
30 Leiterbahnanordnung gemäß Fig.13 zu einem zweiten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung gemäß dem dritten Ausführungsbeispiel.

Fig.1 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine Leiterbahnanordnung 100 gemäß einem ersten Ausführungsbeispiel der Erfindung.

- 5 Die Leiterbahnanordnung 100 weist ein Substrat 101 mit einer Substratoberfläche 102 auf. Auf der Substratoberfläche 102 ist eine Pufferschicht 104 angeordnet, welche eine zu der Substratoberfläche 102 parallel ausgerichtete Pufferschichtoberfläche 105 oberhalb der Pufferschicht 104
- 10 aufweist. Als Substratmaterial wird ein erstes elektrisches Isolationsmaterial, gemäß diesem Ausführungsbeispiel massives Siliziumdioxid (SiO_2), gewählt. Als Material für die Pufferschicht 104 wird ein zweites elektrisches Isolationsmaterial, gemäß diesem Ausführungsbeispiel
- 15 ebenfalls massives Siliziumdioxid (SiO_2), gewählt. In dem Substrat 101 befinden sich mehrere vergrabene Leiterbahnen 103, welche derart nebeneinander angeordnet sind, dass die jeweilige untere Leiterbahnoberfläche 106 senkrecht zur Pufferschichtoberfläche 105 einen Abstand einer
- 20 Leiterbahntiefe T_L aufweist, welche größer als die vertikale Dicke der Leiterbahnen 103 ist. Die Leiterbahnen 103 weisen ein elektrisch leitfähiges Material, gemäß dem vorliegenden Ausführungsbeispiel Aluminium oder Kupfer, auf.
- 25 Zwischen den Leiterbahnen 103 ragen von der Pufferschichtoberfläche 105 aus Hohlräume 107 durch die Pufferschicht 104 hindurch und in das Substrat 101 hinein, welche eine Hohlraumtiefe T_H aufweisen. Die Hohlraumtiefe T_H ist größer als die Leiterbahntiefe T_L , wodurch Streufelder
- 30 zwischen benachbarten Leiterbahnen 103 in den Bereichen der Pufferschicht 104 bzw. des Substrates 101 direkt oberhalb und unterhalb der Leiterbahnen 103 reduziert werden. Zwischen den Leiterbahnen 103 und der Pufferschichtoberfläche 105 befinden sich auf der oberen Oberfläche 108 zumindest eines Teils der
- 35 Leiterbahnen 103 zusätzliche Hohlräume 109, welche ebenfalls zur Reduzierung von Streufeldern beitragen. Die Hohlräume 107 und die zusätzlichen Hohlräume 109 sind derart in der

Pufferschicht 104 bzw. im Substrat 101 angeordnet, dass sich dazwischen Pfosten 110 befinden. Die Form der Pfosten 110 ist beliebig und gleicht gemäß dem vorliegenden Ausführungsbeispiel einem geraden Prisma mit quadratischer Grundfläche. Alternativ könnten als Pfosten 110 beispielsweise auch Säulen mit kreisförmiger Grundfläche zur Anwendung kommen.

Auf der Pufferschichtoberfläche 105 befindet sich eine Deckschicht 111 aus einem dritten elektrischen Isolationsmaterial, gemäß diesem Ausführungsbeispiel wiederum massives Siliziumdioxid (SiO_2), welche die Hohlräume 107 sowie die zusätzlichen Hohlräume 109 in Richtung Pufferschichtoberfläche 105 abschließt. Die Deckschicht 111 wird von einer parallel zur Substratoberfläche 102 ausgerichteten Deckschichtoberfläche 112 nach oben begrenzt. Die Deckschichtoberfläche 112 dient dazu, auf die Leiterbahnanordnung 100 in einfacher Weise in nachfolgenden Prozessen zusätzliche Schichten mit Halbleiterbauelementen oder Kontaktelementen aufbringen zu können.

Während der Herstellung der Deckschicht 111 konnte Siliziumdioxid (SiO_2) in die Hohlräume 107 zwischen benachbarten Leiterbahnen 103 sowie in die zusätzlichen Hohlräume 109 über den Leiterbahnen 103 eindringen. Dadurch wurde eine dünne Bedeckung der Hohlraumwände mit drittem elektrischen Isolationsmaterial verursacht. Je kleiner der Abstand benachbarter Pfosten 110 zueinander ist, desto geringer ist die Bedeckung der Hohlraumwände mit drittem elektrischen Isolationsmaterial. Die Deckschicht 111 reicht folglich zu einem kleinen Teil in die Hohlräume 107 und in die zusätzlichen Hohlräume 109 hinein, wobei dort die Kantenbedeckung durch die Deckschicht 111 mit abnehmendem Abstand zu der Substratoberfläche 102 abnimmt. Dies ist ein Resultat des bevorzugten Verfahrens, mit dem die Deckschicht 111 erzeugt wird und welches weiter unten beschrieben wird. Bei alternativen Herstellungsverfahren kann die Deckschicht

111 bündig mit der Pufferschichtoberfläche 105 abschließen, so dass in die Hohlräume 107 und die zusätzlichen Hohlräume 109 kein drittes elektrisches Isolationsmaterial der Deckschicht 111 gelangt.

5

Der Abstand der Pfosten 110 sowie deren Geometrie sollten bevorzugt derart gewählt werden, dass die Leiterbahnanordnung 100 eine ausreichend gute Tragfähigkeit für die Deckschicht 111 sowie für zusätzliche über der Leiterbahnanordnung 100 angeordnete Schichten und Metallisierungsebenen aufweist. Gemäß diesem Ausführungsbeispiel weisen die Pfosten 110 jeweils eine Breite auf, welche fast gleich dem Abstand der Pfosten 110 ist. Die Hohlraumtiefe T_H weist gemäß diesem Ausführungsbeispiel einen Wert auf, welcher der zweifachen Dicke der Leiterbahnen 103 entspricht. Alternativ können auch andere Maße für die Breite und/oder den Abstand der Pfosten 110 und/oder für die Hohlraumtiefe T_H im Vergleich zur Dicke der Leiterbahnen 103 gewählt werden.

20 Die Grundfläche der Pfosten 110 sollte dabei in etwa der minimalen Strukturgröße des Halbleiterchips entsprechen, in welchem die Leiterbahnanordnung 100 eingesetzt wird.

Im Folgenden wird schrittweise ein Herstellungsverfahren zur Bildung der Leiterbahnanordnung 100 gemäß dem ersten Ausführungsbeispiel der Erfindung beschrieben. Dabei unterteilt sich das Verfahren in einen ersten Teil mit zwei verschiedenen Ausgestaltungen sowie in einen zweiten, gemeinsamen Teil. Bei der ersten Ausgestaltung des ersten Verfahrensteils wird die Damascene-Technik und bei der zweiten Ausgestaltung des ersten Verfahrensteils die Metalllätztechnik eingesetzt. Die Damascene-Technik wird vorzugsweise eingesetzt, wenn als Material für die Leiterbahnen 103 Kupfer verwendet wird, während die Metalllätztechnik vorzugsweise eingesetzt wird, wenn als Material für die Leiterbahnen 103 Aluminium verwendet wird. Während des zweiten Verfahrensteils wird das Ergebnis des

ersten Verfahrensteils weiterbearbeitet, weshalb der zweite Verfahrensteil für beide Ausführungsformen des ersten Verfahrensteils gleich ist.

- 5 In Fig.2 ist ein Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 200 zu einem ersten Zeitpunkt während der ersten Ausgestaltung des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig.1 gezeigt.

10

- Als Grundlage für die Damascene-Technik wird ein Substrat 101 mit einer Substratoberfläche 102 verwendet. Das Substrat 101 ist eben und derart beschichtet, dass es an der Substratoberfläche 102 Siliziumdioxid (SiO_2) aufweist. In dem Substrat 101 befinden sich Gräben 201, welche mittels üblicher Lithographie- und Ätztechniken von der Substratoberfläche 102 aus in dem Substrat 101 gebildet werden. Dabei entsprechen die Formen und Positionen der Gräben 201 denjenigen der späteren Leiterbahnen 103.
- 15
- 20 Insbesondere entspricht die Tiefe der Gräben 201 bevorzugt der Dicke der späteren Leiterbahnen 103.

- Zum Festlegen der Tiefe der Gräben 201 kann in das Substrat 101 in einem vorherbestimmten Abstand zur Substratoberfläche 102 auch eine Ätzstoppschicht eingebracht sein. Während des Ätzverfahrens zum Erzeugen der Gräben 201 wird solange Substratmaterial in der Tiefe des Substrats 101 entfernt, bis die Ätzstoppschicht erreicht ist.
- 25

- 30 Über dem Substrat 101 mit den Gräben 201 wird anschließend in einem üblichen Metallisierungsverfahren Kupfer abgeschieden (vgl. noch nicht fertiggestellte Leiterbahnanordnung 300 in Fig.3). Über der Substratoberfläche 202 wird somit eine Metallschicht 301 aus Kupfer gebildet. Dabei werden die Gräben 201 mit Kupfer überfüllt und gefüllte Gräben 302 gebildet.
- 35

Zum Erzeugen einer ebenen Oberfläche wird die Metallschicht 301 flächig abgetragen, bis das Substrat 101 erreicht wird (vgl. noch nicht fertiggestellte Leiterbahnanordnung 400 in Fig.4). Dazu wird ein chemisch-mechanischer Poliervorgang
5 verwendet. Gemäß der vorliegenden Ausführungsform ist die ebene Oberfläche mit der Substratoberfläche 102 identisch. Dabei wird das die gefüllten Gräben 302 überfüllende Kupfer entfernt und somit aus den gefüllten Gräben 302 die
10 Leiterbahnen 103 gebildet.

Auf dem Substrat 101 mit den Leiterbahnen 103 wird eine Pufferschicht 104 aus Siliziumdioxid (SiO_2) aufgebracht (vgl. noch nicht fertiggestellte Leiterbahnanordnung 500 in Fig.5). Die Pufferschicht 104 wird von einer Pufferschichtoberfläche
15 105 parallel zur Substratoberfläche 102 nach oben begrenzt. Dabei wird die Dicke der Pufferschicht 104 derart bemessen, dass daraus zwischen der Unterkante der Leiterbahnen 103 und der Pufferschichtoberfläche 105 die gewünschte
20 Leiterbahntiefe T_L resultiert.

In Fig.6 ist ein Querschnitt senkrecht zur Substratoberfläche 602 durch eine noch nicht fertiggestellte Leiterbahnanordnung 600 zu einem ersten Zeitpunkt während der zweiten
25 Ausgestaltung des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig.1 gezeigt.

Als Grundlage für die Metallätztechnik wird ein Substrat 601 mit einer Substratoberfläche 602 verwendet. Das Substratmaterial ist Siliziumdioxid (SiO_2). Auf der
30 Substratoberfläche 602 befinden sich Leiterbahnen 603 aus Aluminium. Die Leiterbahnen 603 werden dadurch erzeugt, dass über der Substratoberfläche 602 zunächst eine flächige Aluminiumschicht erzeugt wird. Dann wird die Aluminiumschicht mittels üblicher Lithographie- und Ätztechniken strukturiert,
35 wobei aus der Aluminiumschicht die Leiterbahnen 603 gebildet werden. Dabei erfolgt die Strukturierung der Aluminiumschicht

entsprechend den gewünschten Formen und Positionen der Leiterbahnen 603.

Mittels einer konformen Abscheidung von Siliziumdioxid (SiO_2) wird über den Leiterbahnen 603 und der Substratoberfläche 602 eine konforme Hüllschicht 701 erzeugt (vgl. noch nicht fertiggestellte Leiterbahnanordnung 700 in Fig.7). Dabei werden auch die Zwischenräume zwischen den Leiterbahnen 603 mit Siliziumdioxid (SiO_2) gefüllt. Dabei sollte der Wert der Dicke der Hüllschicht 701 größer als der Wert der Dicke der Leiterbahnen 603 sein. Die Dicke der Hüllschicht 701 sollte folgendermaßen bemessen sein: Nach dem nachfolgenden Herstellungsschritt sollte einerseits noch ausreichend Siliziumdioxid (SiO_2) über den Leiterbahnen 603 vorhanden sein und andererseits eine ebene Oberfläche parallel zur Substratoberfläche 602 gebildet werden können.

Zum Erzeugen einer ebenen Hüllschichtoberfläche 802 wird die Hüllschicht 701 teilweise abgetragen, bis die Hüllschichtoberfläche 802 flächig und parallel zur Substratoberfläche 602 orientiert ist (vgl. noch nicht fertiggestellte Leiterbahnanordnung 800 in Fig.8). Aus der Hüllschicht 701 wird dabei eine planarisierte Hüllschicht 801 gebildet. Zum teilweisen Abtragen der Hüllschicht 701 wird ein chemisch-mechanischer Poliervorgang verwendet. Der chemisch-mechanische Poliervorgang wird beendet, sobald der Abstand zwischen der Substratoberfläche 602 und der Hüllschichtoberfläche 802 gleich der gewünschten Leiterbahntiefe T_L ist.

Fig.9 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 900 zu einem ersten Zeitpunkt während des zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig.1.

Die noch nicht fertiggestellte Leiterbahnanordnung 900 stellt die Resultate der beiden Ausführungsformen des ersten Verfahrensteils dar und ist der Ausgangspunkt für den zweiten Verfahrensteil. Dabei stellt das Substrat 101 mit den
5 eingebetteten Leiterbahnen 103 eine Kombination des Substrats 601 mit den Leiterbahnen 603 und der planarisierten Hüllschicht 801 gemäß der zweiten Ausführungsform dar. Die Pufferschichtoberfläche 105 ist in diesem Fall identisch mit der Hüllschichtoberfläche 802.

10

In dem Substrat 101 sowie der Pufferschicht 104 werden mittels Ätzung von der Pufferschichtoberfläche 105 aus Hohlräume 107 und zusätzliche Hohlräume 109 gebildet (vgl.
noch nicht fertiggestellte Leiterbahnanordnung 1000 in
15 Fig.10). Die Hohlräume 107 sind zwischen benachbarten Leiterbahnen 103 angeordnet und weisen eine Hohlraumtiefe T_H auf. Der Wert der Hohlraumtiefe T_H ist größer als der Wert der Leiterbahntiefe T_L . Dadurch reduzieren die Hohlräume 107 die Streufelder zwischen benachbarten Leiterbahnen 103 in
20 Ebenen direkt oberhalb bzw. unterhalb der Leiterbahnen 103.

Die zusätzlichen Hohlräume 109 werden von den Leiterbahnen 103 nach unten begrenzt. Zwischen den jeweiligen Hohlräumen 107, den jeweiligen zusätzlichen Hohlräumen 109 sowie
25 zwischen den Hohlräumen 107 und den zusätzlichen Hohlräumen 109 sind Pfosten 110 angeordnet, welche die Form eines geraden Prismas mit quadratischer Grundfläche aufweisen. Alternativ können die Pfosten 110 auch andere Formen aufweisen.

30

Die Hohlräume 107 sowie die zusätzlichen Hohlräume 109 werden mittels üblicher Lithographie- und Ätzverfahren in die Pufferschicht 104 sowie das Substrat 101 eingebracht. Dabei sollte auf eine sorgfältige Strukturierung der Pfosten 110
35 geachtet werden, damit die nach Fertigstellung resultierende Leiterbahnanordnung 100 eine ausreichende mechanische Stabilität aufweist. Dabei muss ein Kompromiss zu der

Forderung nach größtmöglichen Hohlräumen 107 zwischen benachbarten Leiterbahnen 103 gefunden werden. Es soll schließlich eine größtmögliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r bei ausreichender mechanischer Stabilität der Leiterbahnanordnung 100 erreicht wird.

Bei der Wahl des verwendeten Ätzverfahrens kommt bevorzugt ein selektives Ätzverfahren zur Anwendung, welches das Material des Substrats 101 und der Pufferschicht 104, und damit das Siliziumdioxid (SiO_2), nicht jedoch das Metall der Leiterbahnen 103 entfernt. Alternativ können die Leiterbahnen 103 auch mit einer Ätzstoppschicht ummantelt sein, wenn sich das Siliziumdioxid (SiO_2) nicht selektiv zum Metall der Leiterbahnen 103 ätzen lässt.

Nach dem Erzeugen der noch nicht fertiggestellten Leiterbahnanordnung 1000 wird zum Herstellen der fertigen Leiterbahnanordnung 100 noch die Deckschicht 111 erzeugt.

Die Deckschicht 111 aus Siliziumdioxid (SiO_2) wird mittels eines nicht-konformen Verfahrens im Wesentlichen parallel zur Pufferschichtoberfläche 105 über den Pfosten 110, den Hohlräumen 107 und den zusätzlichen Hohlräumen 109 erzeugt. Dazu wird das Siliziumdioxid (SiO_2) mittels eines CVD-Prozesses mit möglichst geringer Kantenbedeckung hauptsächlich auf den Resten der Pufferschichtoberfläche 105 und somit auf den Pfosten 110 abgeschieden. Dazu wird der CVD-Prozess mittels Druckerhöhung im diffusionsbestimmten Regime betrieben. In einem Zwischenschritt wird mittels einer kurzen isotropen Ätzung in einem Downstream-Ätzprozess möglicherweise tief in die Hohlräume 107 und in die zusätzlichen Hohlräume 109 eingedrungenes Siliziumdioxid (SiO_2) wieder entfernt, bevor die Hohlräume 107 und in die zusätzlichen Hohlräume 109 vollständig abgeschlossen werden.

Während des nicht-konformen CVD-Prozesses dringt auf Grund der gewählten Struktur der Pfosten 110 kaum Siliziumdioxid (SiO_2) in die Hohlräume 107 und die zusätzlichen Hohlräume 109 ein. Dadurch kommt es zu einer nur sehr geringen

5 Bedeckung der Hohlraumwände mit Siliziumdioxid (SiO_2), wodurch die relative Dielektrizitätskonstante ϵ_r der fertigen Leiterbahnanordnung 100 nur unwesentlich beeinflusst wird.

Nachdem die Hohlräume 107 und die zusätzlichen Hohlräume 109

10 von dem nicht-konform abgeschiedenen Siliziumdioxid (SiO_2) nach oben abgeschlossen sind, kann der Rest der Deckschicht 111 mittels konformen Aufbringens von Siliziumdioxid (SiO_2) erzeugt werden. Die Deckschicht 111 wird schließlich von einer parallel zur Substratoberfläche 102 ausgerichteten

15 Deckschichtoberfläche 112 nach oben begrenzt. Als Material kann auch jedes andere isolierende Material verwendet werden, welches sich in einem nicht-konformen CVD-Prozess abscheiden lässt. Dies kann beispielsweise fluoriertes Silikatglas (FSG), oxidiertes Siliziumcarbid (SiOC) oder

20 Polytetrafluorethylen (PTFE) sein.

Daraus resultiert dann die in Fig.1 dargestellt fertige Leiterbahnanordnung 100 gemäß dem ersten Ausführungsbeispiel der Erfindung.

25 Alternativ kann die Deckschicht 111 auch mittels eines Aufschleuderverfahrens auf die Pfosten 110 aufgebracht werden. Ein solches Verfahren wird vor allem dann verwendet, wenn die Oberflächenspannung des aufzuschleudernden Materials

30 ausreichend groß ist. Die Benetzung der Pufferschichtoberfläche 105 sollte ausreichend gering sein, um ein Eindringen des aufzuschleudernden Materials in die Hohlräume 107 und die zusätzlichen Hohlräume 109 zu reduzieren. Dies ist unter anderem bei Materialien wie

35 beispielsweise Polybenzoxazol (PBO) oder aufgeschleudertem Glas (SOG = spin-on glass) der Fall.

In einem alternativen Ausführungsbeispiel der Erfindung kann vorgesehen sein, dass über den Leiterbahnen 103 keine zusätzlichen Hohlräume 109 vorgesehen sind. Dadurch bleiben die Leiterbahnen 103 von dem isolierenden Material der Pufferschicht 104 und des Substrats 101 eingekapselt. Dies bietet den Vorteil, dass dadurch die Leiterbahnen 103 widerstandsfähiger gegen Elektromigration sein können. Unter Elektromigration ist die Wanderung von Material der Leiterbahnen 103 auf Grund von Stromfluss zu verstehen, was zum Auseinanderreißen der Leiterbahnen 103 führen kann. Die Reduzierung der Koppelkapazität zwischen benachbarten Leiterbahnen 103 wird dadurch nur unwesentlich beeinflusst.

Fig.11 zeigt einen Querschnitt parallel zur Substratoberfläche 102 durch die Leiterbahnanordnung 100 gemäß Fig.1.

In dieser Darstellung wird deutlich gemacht, dass in der Leiterbahnanordnung 100 gemäß dem ersten Ausführungsbeispiel auch elektrische Kontakte zu anderen Leiterbahnebenen vorgesehen sind. Im Übrigen verdeutlicht die Darstellung der Fig.11 die Anordnung der Leiterbahnen 103, der Hohlräume 107 und der Pfosten 110.

Um elektrische Kontakte zwischen Leiterbahnebenen zu ermöglichen sind in der dargestellten Leiterbahnebene Kontaktlöcher 1100 vorgesehen. Die Kontaktlöcher 1100 können entsprechend mit elektrisch leitfähigem Material gefüllt werden. Im Bereich der Kontaktlöcher 1100 sind statt Pfosten 110 Kontaktlochisolierungen 1101 vorgesehen. Die Kontaktlochisolierungen 1101 verhindern bei der nachfolgenden Füllung der Kontaktlöcher 1100 mit elektrisch leitfähigem Material unerwünschte elektrische Kopplungen zwischen den Kontaktlöchern 1100 und/oder mit den Leiterbahnen 103. Solche unerwünschte elektrische Kopplungen könnten sonst auf Grund der Hohlräume 107 mittels verlaufenem elektrisch leitfähigem Material entstehen.

Die Leiterbahnen 103 weiten sich im Bereich der Kontaktlöcher 1100 auf und bilden Kontaktlochummantelungen 1102. Auf diese Weise können die Leiterbahnen 103 gezielt an definierten
5 Stellen mit den Kontaktlöchern 1100 elektrisch gekoppelt werden. Es ist auch möglich, zu den Kontaktlöchern 1100 elektrisch isolierte Kontaktlochummantelungen 1102 vorzusehen, mittels denen Leiterbahnen 103 in elektrisch isolierter Weise an den Kontaktlöchern 1100 vorbeigeführt
10 werden können. Dies kann innerhalb einer Leiterbahnebene beispielsweise notwendig sein, wenn ein entsprechendes Kontaktloch 1100 in dieser Leiterbahnebene lediglich zwei außerhalb dieser Leiterbahnebene liegende Leiterbahnen durch diese Leiterbahnebene hindurch elektrisch kontaktieren soll,
15 ohne dass Leiterbahnen 103 in dieser Leiterbahnebene elektrisch kontaktiert werden.

Fig.12 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine Leiterbahnanordnung 1200
20 gemäß einem zweiten Ausführungsbeispiel der Erfindung.

Die Leiterbahnanordnung 1200 weist ein Grundsubstrat 1201 auf. Als Material für dieses Grundsubstrat 1201 wird ein erstes Isolationsmaterial, gemäß diesem Ausführungsbeispiel
25 Siliziumdioxid (SiO_2), gewählt. In dem Grundsubstrat 1201 ist eine Leiterbahn 103 aus einem elektrisch leitfähigen Material angeordnet, welches gemäß dem vorliegenden Ausführungsbeispiel Aluminium oder Kupfer aufweist.

30 Sowohl die Leiterbahn 103 als auch das Grundsubstrat 1201 werden von einer ersten Stoppschicht 1202 bedeckt. Über der ersten Stoppschicht 1202 ist ein Schichtstapel aus aufeinanderfolgend einer ersten Isolationsschicht 1203, einer zweiten Stoppschicht 1204, einer zweiten Isolationsschicht
35 1205, einer dritten Stoppschicht 1206, einer dritten Isolationsschicht 1207, einer Pufferschicht 104 sowie einer Trageschicht 1210 angeordnet.

Gemäß dem vorliegenden Ausführungsbeispiel weisen die erste Stoppschicht 1202, die zweite Stoppschicht 1204, die dritte Stoppschicht 1206 und die vierte Stoppschicht 1209 jeweils
5 Siliziumnitrid (Si_3N_4) auf, welches elektrisch isolierend ist. Als Material für die erste Isolationsschicht 1203, die zweite Isolationsschicht 1205, die dritte Isolationsschicht 1207 und die Pufferschicht 104 wird gemäß dem vorliegenden Ausführungsbeispiel auf plasma-aktiviertem Tetra-Ethyl-Ortho-
10 Silicat (PE-TEOS) basierendes Siliziumdioxid (SiO_2) verwendet. Für die Trageschicht 1210 wird gemäß dem vorliegenden Ausführungsbeispiel hingegen auf Silan (SiH_4) basierendes, plasmaangeregtes Siliziumdioxid (SiO_2) verwendet. Dabei wird das auf Silan (SiH_4) basierende,
15 plasmaangeregte Siliziumdioxid (SiO_2) üblicherweise in einem PECVD-Prozess (PECVD = plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) abgeschieden.

20 Das Grundsubstrat 1201, die erste Stoppschicht 1202, die erste Isolationsschicht 1203, die zweite Stoppschicht 1204, die zweite Isolationsschicht 1205, die dritte Stoppschicht 1206, die dritte Isolationsschicht 1207 und die vierte Stoppschicht 1209 bilden das Substrat 101, welches von einer
25 Substratoberfläche 102 in aufsteigender Richtung des Schichtstapels nach oben begrenzt wird. Parallel zu der Substratoberfläche 102 wird die Pufferschicht 104 von einer Pufferschichtoberfläche 105 nach oben begrenzt. In der Pufferschicht 104 und dem Substrat 101 ist ein Hohlraum 107
30 angeordnet, welcher von der Pufferschichtoberfläche 105 aus bis zur zweiten Stoppschicht 1204 in das Substrat 101 hineinragt und eine Hohlraumtiefe T_H aufweist.

Der Hohlraum 107 isoliert zwei in dem Substrat 101 vergraben
35 angeordnete Leiterbahnen 103, welche teilweise die dritte Stoppschicht 1206 sowie die dritte Isolationsschicht 1207 ersetzen und zusammen eine Leiterbahnebene definieren. Die

mittels des Hohlraums 107 elektrisch isolierten Leiterbahnen 103 sind in einem Leiterbahnabstand A derart nebeneinander angeordnet, dass die jeweilige untere Leiterbahnoberfläche senkrecht zur Pufferschichtoberfläche 105 einen Abstand einer
5 Leiterbahntiefe T_L aufweist, welche größer als die vertikale Dicke der Leiterbahnen 103 ist. Die Hohlraumtiefe T_H ist größer als die Leiterbahntiefe T_L , wodurch Streufelder zwischen benachbarten Leiterbahnen 103 in den Bereichen der Pufferschicht 104 bzw. des Substrates 101 direkt oberhalb und
10 unterhalb der Leiterbahnen 103 reduziert werden. Der Hohlraum 107 weist eine Breite auf, welche gleich dem Leiterbahnabstand A ist.

Die teilweise die dritte Stoppschicht 1206 sowie die dritte
15 Isolationsschicht 1207 ersetzenden Leiterbahnen 103 sind mittels eines elektrischen Kontaktes 1208 mit der im Grundsubstrat 1201 befindlichen Leiterbahn 103 elektrisch gekoppelt und weisen gemäß dem vorliegenden Ausführungsbeispiel das gleiche Material wie die im
20 Grundsubstrat 1201 befindliche Leiterbahn 103 auf. Der elektrische Kontakt 1208 durchdringt hierzu die erste Stoppschicht 1202, die erste Isolationsschicht 1203, die zweite Stoppschicht 1204 sowie die zweite Isolationsschicht 1205 im Wesentlichen senkrecht zur Substratoberfläche 102.

25 Auf der Substratoberfläche 102 befinden sich übereinander die Pufferschicht 104 und die Trageschicht 1210, wobei der Hohlraum 107 von der Substratoberfläche 102 aus gesehen durch die Pufferschicht 104 hindurchragt sowie zum Teil in die
30 Trageschicht 1210 hineinragt.

Der Hohlraum 107 wird mittels einer Deckschicht 111 bezüglich der Pufferschichtoberfläche 105 nach oben hin abgeschlossen. Die Deckschicht 111 weist ein Isolationsmaterial auf, welches
35 sich selektiv ausschließlich an der Trageschicht 1210 anlagert. Gemäß dem vorliegenden Ausführungsbeispiel wird als Material für die Deckschicht 111 auf ozon-aktiviertem Tetra-

Ethyl-Ortho-Silicat (O_3 /TEOS) basierendes Siliziumdioxid (SiO_2) verwendet. Selbstverständlich kann für die Deckschicht 111 auch ein anderes Material gewählt werden, wenn dieses die oben beschriebene Selektivität hinsichtlich seines

5 Anlagerungsverhaltens zeigt. Anschaulich ist die Deckschicht 111 derart ausgebildet, dass sie eine dem Hohlraum 107 zugewandte zwickelförmige Aussparung aufweist. Folglich sollte die Trageschicht 1210 senkrecht zur

10 Pufferschichtoberfläche 105 eine ausreichende Dicke aufweisen, so dass der Hohlraum 107 auch oberhalb der zwickelförmigen Aussparung der Deckschicht 111 von der Deckschicht 111 vollständig abgeschlossen ist.

Die Deckschicht 111 sowie die Trageschicht 1210 weisen eine

15 gemeinsame Deckschicht/Trageschicht-Oberfläche 1211 auf, welche diese beiden Schichten 111, 1210 im Wesentlichen parallel zur Substratoberfläche 102 nach oben begrenzt. Auf dieser Deckschicht/Trageschicht-Oberfläche 1211 ist schließlich noch eine fünfte Stoppschicht 1212 angeordnet,

20 auf welcher zusätzliche Leiterbahnebenen aufgebracht werden können.

Die Geometrie des Hohlraums 107 sollte bevorzugt derart gewählt werden, dass die Leiterbahnanordnung 1200 eine

25 ausreichend gute elektrische Isolierung der Leiterbahnen 103 innerhalb einer Leiterbahnebene bei einer ausreichenden Reduzierung der relativen Dielektrizitätskonstante ϵ_r aufweist. Gemäß diesem Ausführungsbeispiel weisen der Leiterbahnabstand A und somit der Hohlraum 107 eine Breite

30 von 400...500 nm auf, welche fast gleich der Breite der Leiterbahnen 103 ist. Die Hohlraumtiefe T_H weist gemäß diesem Ausführungsbeispiel einen Wert auf, welcher der zweifachen Dicke der Leiterbahnen 103 entspricht. Die Leiterbahnen 103 weisen gemäß diesem Ausführungsbeispiel eine Dicke von

35 ungefähr 600 nm auf. Gemäß dem vorliegenden Ausführungsbeispiel weisen die einzelnen Stoppschichten eine Dicke von jeweils ungefähr 50 nm auf. Die Isolationsschichten

außer der dritten Isolationsschicht 1207 sowie die Pufferschicht 104 und die Trageschicht 1210 weisen gemäß dem vorliegenden Ausführungsbeispiel eine Dicke von jeweils ungefähr 150 nm auf. Alternativ können selbstverständlich auch andere geeignete Maße gewählt werden.

Zum Herstellen der Leiterbahnen 103 kann entweder die Damascene-Technik oder die Metallätztechnik eingesetzt werden. Die Damascene-Technik wird vorzugsweise eingesetzt, wenn als Material für die Leiterbahnen 103 Kupfer verwendet wird, während die Metallätztechnik vorzugsweise eingesetzt wird, wenn als Material für die Leiterbahnen 103 Aluminium verwendet wird.

Bei einem nicht dargestellten Ausführungsbeispiel der Erfindung, welches im Wesentlichen dem gerade beschriebenen zweiten Ausführungsbeispiel der Erfindung gleicht, kann sich der Hohlraum 107 zusätzlich noch durch die zweite Stoppschicht 1204 hindurch bis zur Grenzfläche zwischen der zweiten Stoppschicht 1204 und der ersten Isolationsschicht 1203 hin ausdehnen. Anschaulich ist zur Vergrößerung des Hohlraums 107 soviel Material der zweiten Stoppschicht 1204 im Bereich des Hohlraums 107 entfernt, dass die darunter liegende erste Isolationsschicht 1203 gerade freigelegt ist. Dies hat eine zusätzliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r zur Folge. Dies liegt daran, dass der größere Hohlraum 107 störende elektrische Streufelder zwischen den Leiterbahnen 103 zusätzlich reduziert.

In Fig.13 ist ein Querschnitt senkrecht zur Substratoberfläche 102 durch eine Leiterbahnanordnung 1300 gemäß einem dritten Ausführungsbeispiel der Erfindung dargestellt.

Die Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel ist im Wesentlichen identisch zu der

Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel. Die Unterschiede zwischen der Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel und der Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel sind wie folgt:

Der Hohlraum 107 weist bezüglich der Substratoberfläche 102 parallel zur Zeichenebene eine Hohlraumbreite B auf, welche größer als der Leiterbahnabstand A ist. Dies hat zur Folge, dass die Form des Hohlraums 107 anschaulich mit einem „I“ oder mit einem Knochen vergleichbar ist. Die größere Ausdehnung des Hohlraums 107 oberhalb und unterhalb der durch die benachbarten Leiterbahnen 103 gebildeten Leiterbahnebene trägt zu einer zusätzlichen Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r in der Leiterbahnanordnung 1300 bei. Dies liegt daran, dass der größere Hohlraum 107 störende elektrische Streufelder zwischen den Leiterbahnen 103 zusätzlich reduziert.

Die dritte Stoppschicht 1206 und die vierte Stoppschicht 1209 weisen im Bereich des Hohlraums 107 eine Lochbreite C auf, welche kleiner ist als der Leiterbahnabstand A. Dies ist eine Folge des speziellen Herstellungsverfahrens, mit dem der ausgewölbte Hohlraum 107 in der Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel hergestellt wird.

Im Folgenden wird schrittweise ein Herstellungsverfahren zur Bildung der Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel der Erfindung beschrieben.

30

Fig.14 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 1400 zu einem ersten Zeitpunkt während eines Herstellungsverfahrens der Leiterbahnanordnung 1200 gemäß Fig.12.

In dem Grundsubstrat 1201 wird zunächst entweder mittels der Damascene-Technik oder der Metallätztechnik eine Leiterbahn 103 eingebracht. Die Leiterbahn 103 sowie das Grundsubstrat 1201 werden dann mittels einer ersten Stoppschicht 1202
5 bedeckt, welche beispielsweise mittels eines PECVD-Prozesses aufgebracht wird. Die erste Stoppschicht 1202 dient dazu, bei einem späteren Herstellen des elektrischen Kontakts 1208 mittels eines Ätzprozesses die Funktion einer Schutzmaske für nicht zu entfernende Bereiche des Grundsubstrats 1201
10 und/oder der Leiterbahn 103 zu übernehmen.

Auf die erste Stoppschicht 1202 werden aufeinanderfolgend die erste Isolationsschicht 1203 und die zweite Stoppschicht 1204, beispielsweise mittels eines PECVD-Prozesses,
15 aufgebracht. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 1500 (vgl. Fig.15). Die zweite Stoppschicht 1204 dient dazu, bei einem späteren Herstellen des Hohlraums 105 mittels eines Ätzprozesses diesen nach unten zu begrenzen. Somit übernimmt die zweite
20 Stoppschicht 1204 die Funktion einer Schutzmaske für die darunter befindlichen Schichten.

Auf die zweite Stoppschicht 1204 werden nacheinander die zweite Isolationsschicht 1205, die dritte Stoppschicht 1206
25 sowie die dritte Isolationsschicht 1207, beispielsweise wieder mittels eines PECVD-Prozesses, aufgebracht. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 1600 (vgl. Fig.16). Die dritte Stoppschicht 1206 dient dazu, bei einem späteren Herstellen
30 der Aussparungen für die herzustellenden, benachbarten Leiterbahnen 103 mittels eines Ätzprozesses diese Aussparungen nach unten zu begrenzen. Somit kann mittels einer geeigneter Positionierung der dritten Stoppschicht 1206 bezüglich der dritten Isolationsschicht 1207 die Dicke, d.h.
35 die Größe senkrecht zur Substratoberfläche 102, der herzustellenden, benachbarten Leiterbahnen 103 exakt eingestellt werden.

In Fig.17 ist ein Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 1700 zu einem vierten Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung 1200 gemäß Fig.12 dargestellt.

Mittels einer geeigneten Abfolge von anisotropen Ätzprozessen sowie nachfolgendem Einbringen von elektrisch leitfähigem Material werden der elektrische Kontakt 1208 sowie die benachbarten Leiterbahnen 103 derart hergestellt, dass die benachbarten Leiterbahnen 103 mit der im Grundsubstrat 1201 integrierten Leiterbahn 103 elektrisch gekoppelt werden. Dabei dienen die erste Stoppschicht 1202 und die dritte Stoppschicht 1206 zum gezielten Herstellen des elektrischen Kontakts 1208. Dazu werden die Stoppschichten in einem geeigneten Lithographie- und Ätzprozess entsprechend strukturiert.

Vor dem Einbringen des elektrisch leitfähigen Materials für den elektrischen Kontakt 1208 sowie die benachbarten Leiterbahnen 103 können die in den entsprechenden Schichten entstandenen Seitenflächen mit jeweils einer dünnen Kapselschicht (nicht dargestellt) aus einem Kapselmaterial bedeckt werden. Diese dünnen Kapselschichten sind bevorzugt aus einem Nitrid-haltigen Material hergestellt, wodurch sie eine hohe mechanische Härte aufweisen, und dienen zum Erhöhen der Elektromigrationsfestigkeit all derjenigen Teile aus elektrisch leitfähigem Material.

Die dünnen Kapselschichten werden vorzugsweise mittels Sputterns erzeugt und sind insbesondere auch dann notwendig, wenn als elektrisch leitfähiges Material Kupfer verwendet wird. In diesem Fall wird auf die dünnen Kapselschichten beispielsweise mittels Sputterns eine Bekeimungsschicht aus Kupfer aufgebracht. Auf dieser Bekeimungsschicht kann dann elektrochemischer Kupfer abgeschieden werden. Alternativ kann

statt Kupfer auch Aluminium als elektrisch leitfähiges Material verwendet werden. Kupfer wird jedoch wegen seines geringeren elektrischen Widerstands sowie seiner höheren natürlichen Elektromigrationsfestigkeit gegenüber Aluminium
5 bevorzugt.

Die dünnen Kapselschichten unterstützen darüber hinaus die selektive Anlagerung des Isolationsmaterials für die Deckschicht 111, indem die dünnen Kapselschichten ein
10 Anlagern entsprechenden Materials an das Material der benachbarten Leiterbahnen 103 verhindert.

Fig.18 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte
15 Leiterbahnanordnung 1800 zu einem fünften Zeitpunkt während des Herstellungsverfahrens der Leiterbahnanordnung 1200 gemäß Fig.12.

Über der dritten Isolationsschicht 1207 sowie den darin
20 eingebetteten Leiterbahnen 103 wird nun die vierte Stoppschicht 1209, beispielsweise mittels eines PECVD-Prozesses, angeordnet. Die vierte Stoppschicht 1209 dient als Diffusionssperre für das elektrisch leitfähige Material der benachbarten Leiterbahnen 103 nach oben. Der Schichtenstapel
25 1201 bis 1209 bildet das Substrat 101, welches von der Substratoberfläche 102 nach oben begrenzt wird. Über der vierten Stoppschicht 1209 werden nun aufeinanderfolgend die Pufferschicht 104 sowie die Trageschicht 1210, beispielsweise
wieder mittels eines PECVD-Prozesses, angeordnet.

30 Von der Oberfläche der Trageschicht 1210, welche im Wesentlichen parallel zu der Substratoberfläche 102 aber von dieser abgewandt ist, wird beispielsweise mittels einer Abfolge gängiger Lithographie- und Ätzprozesse der Hohlraum
35 107 in die Trageschicht 1210, die Pufferschicht 104, die vierte Stoppschicht 1209, die dritte Isolationsschicht 1207, die dritte Stoppschicht 1206 sowie die zweite

Isolationsschicht 1205 eingebracht. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 1900 (vgl. Fig.19). Die zweite Stoppschicht 1204 begrenzt somit den Hohlraum 107 nach unten in Richtung der ersten

- 5 Isolationsschicht 1203. Alternativ kann auch noch die zweite Stoppschicht 1204 selektiv weggeätzt werden, so dass der Hohlraum 107 von dem freigelegten Bereich der ersten Isolationsschicht 1203 nach unten begrenzt wird (nicht dargestellt).

10

- Falls infolge einer Dejustierung einer Lithographiemaske Isolationsmaterial neben einer der benachbarten Leiterbahnen 103 stehen bleibt, kann dennoch ein Hohlraum gebildet werden. Allerdings hat dies eine unerwünschte Erhöhung der relativen
- 15 Dielektrizitätskonstante ϵ_r zur Folge. Eine Dejustage führt jedoch zu keinen Problemen bei der nachfolgend beschriebenen Herstellung der selektiven Isolationsschicht 2001.

- Da gemäß dem vorliegenden Ausführungsbeispiel als Material
- 20 für die Trageschicht 1210 auf Silan (SiH_4) basierendes, plasmaangeregtes Siliziumdioxid (SiO_2) verwendet wird, kann nun eine selektive Isolationsschicht 2001 auf der Trageschicht 1210 aufgebracht werden. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 2000 (vgl.
- 25 Fig.20). Als Material für die selektive Isolationsschicht 2001 wird gemäß dem vorliegenden Ausführungsbeispiel auf ozon-aktiviertem Tetra-Ethyl-Ortho-Silicat (O_3/TEOS) basierendes Siliziumdioxid (SiO_2) verwendet. Die selektive Isolationsschicht 2001 bedeckt alle vorher freiliegenden
- 30 Oberflächen der Trageschicht 1210 und hat anschaulich die Form eines über die Trageschicht 1210 überhängenden Wulstes.

- Wenn weiterhin Material für die selektive Isolationsschicht 2001 auf der Trageschicht 1210 aufgebracht wird, wächst die
- 35 selektive Isolationsschicht 2001 zur zugewachsenen selektiven Isolationsschicht 2101 zusammen. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 2100 (vgl.

Fig.21). Die zugewachsene selektive Isolationsschicht 2101 schließt nun den Hohlraum 107 nach oben hin vollständig ab, wobei die zugewachsene selektive Isolationsschicht 2101 eine zu dem Hohlraum 107 hin ausgerichtete zwickelförmige Aussparung 2102 aufweist.

Um zusätzliche Leiterbahnebenen auf der erfindungsgemäßen Leiterbahnanordnung 1200 aufbringen zu können, wird die zugewachsene selektive Isolationsschicht 2101 beispielsweise mittels eines chemisch-mechanischen Polierverfahrens teilweise wieder entfernt und dabei eingeebnet, bis eine im Wesentlichen parallel zur Substratoberfläche 102 ausgerichtete Deckschicht/Trageschicht-Oberfläche 1211 entsteht. Die zugewachsene selektive Isolationsschicht 2101 wird insbesondere derart planarisiert, bis die Trageschicht 1210 parallel zur Substratoberfläche 102 wieder freigelegt ist. Somit wird aus der zugewachsenen selektiven Isolationsschicht 2101 die Deckschicht 111 geformt. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 2200 (vgl. Fig.22). Bei der Wahl der Breite des Hohlraumes 107 und somit des Leiterbahnabstandes A sowie der Dicke der Trageschicht 1210 ist vorzugsweise darauf zu achten, dass beim Planarisieren der zugewachsenen selektiven Isolationsschicht 2101 der Hohlraum 107 nach oben hin vollständig abgeschlossen bleibt, d.h. die zwickelförmige Aussparung 2102 nicht nach oben hin geöffnet wird.

Wird nun über den freiliegenden Bereichen der Trageschicht 1210 sowie der Deckschicht 111 auf der dem Substrat 101 abgewandten Seite, d.h. über der Deckschicht/Trageschicht-Oberfläche 1211, die fünfte Stoppschicht 1212 beispielsweise mittels eines PECVD-Prozesses erzeugt, resultiert daraus die in Fig.12 dargestellte Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel.

35

Für zusätzlich auf der Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel aufzubringende Leiterbahnebenen

hat die fünfte Stoppschicht 1212 bezüglich zusätzlicher Hohlräume die gleiche Funktion wie die zweite Stoppschicht 1204 für den Hohlraum 107 in der Leiterbahnanordnung 1200 gemäß dem zweiten Ausführungsbeispiel.

5

Das Herstellungsverfahren für die Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel ist im Wesentlichen identisch zu dem Herstellungsverfahren für die Leiterbahnanordnung 1200 gemäß dem zweiten

10 Ausführungsbeispiel. Deshalb wird in dieser Figur sowie der folgenden Figur nur auf die beiden Zeitpunkte eingegangen, bei denen die wesentlichsten Unterschiede der beiden Herstellungsverfahren auftreten.

15 Fig.23 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 2300 zu einem ersten Zeitpunkt während eines Herstellungsverfahrens der Leiterbahnanordnung 1300 gemäß Fig.13.

20

Um bei einer möglichen Dejustage einer Lithographiemaske zum Erzeugen des Hohlraums 107 dennoch einen Hohlraum 107 mit einer Breite entsprechend des Leiterbahnabstandes A zu erzeugen, wird gemäß dem dritten Ausführungsbeispiel als

25 Alternative zu dem in Fig.19 beschriebenen Teilabschnitt während des Herstellungsverfahrens zunächst ein Loch 2301 von der Oberfläche der Trageschicht 1210, welche im Wesentlichen parallel zu der Substratoberfläche 102 aber von dieser abgewandt ist, beispielsweise mittels einer Abfolge gängiger
30 Lithographie- und Ätzprozesse in die Trageschicht 1210, die Pufferschicht 104, die vierte Stoppschicht 1209, die dritte Isolationsschicht 1207, die dritte Stoppschicht 1206 sowie die zweite Isolationsschicht 1205 eingebracht. Die zweite Stoppschicht 1204 begrenzt somit das Loch 2301 nach unten in
35 Richtung der ersten Isolationsschicht 1203.

- Das Loch 2301 weist eine Lochbreite C auf, welche kleiner als der Leiterbahnabstand A ist. Somit können die Lithographie- und Ätzmasken im Bereich des zu bildenden Hohlraums 107 innerhalb des Leiterbahnabstandes A leichter positioniert werden. Als Resultat bleibt mindestens zwischen einer der benachbarten Leiterbahnen 103 und dem Loch 2301 ein Teil des elektrisch isolierenden Materials der dritten Isolationsschicht 1207 bestehen.
- 10 Um nun eine unzureichende Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r zwischen den benachbarten Leiterbahnen 103 zu vermeiden, wird nach dem Erzeugen des Lochs 2301 ein isotroper Ätzprozess durchgeführt. Dieser isotrope Ätzprozess wird derart selektiv
15 eingestellt, dass lediglich elektrisch isolierendes Material der zweiten Isolationsschicht 1205, der dritten Isolationsschicht 1207, der Pufferschicht 104 und der Trageschicht 1210 entfernt wird. Bei dem isotropen Ätzprozess soll jedoch weder elektrisch isolierendes Material der
20 zweiten Stoppschicht 1204, der dritten Stoppschicht 1206 und der vierten Stoppschicht 1209 noch elektrisch leitfähiges Material der benachbarten Leiterbahnen 103 entfernt werden. Insbesondere schützt während dieses isotropen Ätzprozesses die zweite Stoppschicht 1204 ein unerwünschtes Entfernen von
25 elektrisch isolierendem Material der ersten Isolationsschicht 1203. Zum isotropen Ätzen wird gemäß dem vorliegenden Ausführungsbeispiel verdünnte Flusssäure (HF) verwendet, welche bevorzugt das gemäß dem vorliegenden Ausführungsbeispiel für die zweite Isolationsschicht 1205,
30 die dritte Isolationsschicht 1207, die Pufferschicht 104 und die Trageschicht 1210 verwendete elektrisch isolierende Material, nämlich Siliziumdioxid (SiO_2), ätzt.
- Mittels des isotropen Ätzprozesses wird aus dem Loch 2301 der
35 Hohlraum 107 gebildet. Daraus resultiert dann die noch nicht fertiggestellte Leiterbahnanordnung 2400 (vgl. Fig.24). Auf Grund einer geeigneten Anpassung der Dauer des selektiven

Ätzprozesses wird erreicht, dass die Vertikalkanten des Hohlraums 107 gegenüber denen der benachbarten Leiterbahnen 103 zurückversetzt sind, dass also die Hohlraumbreite B oberhalb und unterhalb der Leiterbahnebene mit den
5 benachbarten Leiterbahnen 103 größer ist als der Leiterbahnabstand A. Dies hat den Vorteil, dass eine zusätzliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r erreicht werden kann. Der angewandte isotrope Ätzprozess hat des Weiteren den Vorteil,
10 dass beim Strukturieren und Herstellen des Hohlraums 107 Kontaminationseffekte weitestgehend vermieden werden.

Die in Fig.24 dargestellte noch nicht fertiggestellte Leiterbahnanordnung 2400 kann nun in äquivalenter Weise wie
15 in der Beschreibung zu Fig.20 bis Fig.22 ausgeführt weiter bearbeitet werden, woraus nach Fertigstellung dann die Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel resultiert. Bei der Leiterbahnanordnung 1300 gemäß dem dritten Ausführungsbeispiel kann mittels dem
20 vorgestellten Herstellungsverfahren eine effektive relative Dielektrizitätskonstante $\epsilon_r \leq 2$ und insbesondere $\epsilon_r = 1,9$ erreicht werden.

Für die Bildung einer erfindungsgemäßen Leiterbahnanordnung
25 gemäß einem der Ausführungsbeispiele können statt der gewählten Isolationsmaterialien sowie deren Herstellungsprozesse auch andere geeignete isolierende Materialien sowie Herstellungsprozesse verwendet werden.

30 Beispielsweise sind als drittes elektrisches Isolationsmaterial für die Deckschicht 111 alle isolierenden low-k-Materialien mit einer niedrigen relativen Dielektrizitätskonstante ϵ_r geeignet, welche in einem Aufschleuderprozess („Spin-on-Prozess“) aufgebracht werden
35 können und eine geringe Viskosität aufweisen. In einem Aufschleuderprozess wird das aufzubringende, meist flüssige

Material während einer Schleuderbeschichtung mittels
Aufschleudern auf die zu beschichtenden Flächen aufgebracht.

Wenn in dem ersten Ausführungsbeispiel der Erfindung als
5 zweites Isolationsmaterial ein low-k-Material mit hoher
Viskosität verwendet wird und dadurch kein zweites
Isolationsmaterial in die Hohlräume 107 und die zusätzlichen
Hohlräume 109 eindringt, kann das low-k-Material direkt zum
Bilden der Deckschicht 111 verwendet werden. Andernfalls wird
10 zunächst Siliziumdioxid (SiO_2) zum Abschluss der Hohlräume
107 und der zusätzlichen Hohlräume 109 nicht-konform über den
Pfosten 110 und erst danach das low-k-Material als
Deckschicht 111 abgeschieden.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] J.G. Fleming et al.: „Lowering of Intralevel Capacitance Using Air Gap Structures“, Conference Proceedings ULSI XII, Materials Research Society, pp. 471-477, 1997
5
- [2] T. Ueda et al.: „A Novel Air Gap Integration Scheme for Multi-level Interconnects using Self-aligned Via Plugs“, IEEE Proc. 1998 Symp. VLSI Techn. Digest of Technical Papers, pp. 46-47, 1998
10
- [3] B. Shieh et al.: „Integration and Reliability Issues for Low Capacitance Air-Gap Interconnect Structure“, IEEE Proc. 1998 IITC, pp. 125-127, 1998
15
- [4] B. Shieh et al.: „Air-Gap Formation During IMD Deposition to Lower Interconnect Capacitance“, IEEE Electron Device Letters, Vol. 19, No. 1, pp. 16-18, 1998
- [5] B. Shieh et al.: „Air gaps lower k of interconnect dielectrics“, Solid State Technology, pp. 51-58, February 1999
20
- [6] T. Ueda et al.: „Integration of 3 Level Air Gap Interconnect for Sub-quarter Micron CMOS“, IEEE Proc. 1999 Symp. VLSI Techn. Digest of Technical Papers, 1999
25
- [7] V. Arnal et al.: „Integration of a 3 Level Cu-SiO₂ Air Gap Interconnect for Sub 0.1 micron CMOS Technologies“, IEEE Proc. 2001 IITC, 2001
30
- [8] V. Arnal et al.: „A Novel SiO₂-Air Gap Low K for Copper Dual Damascene Interconnect“, Conference Proceedings ULSI XVI, Materials Research Society, pp. 71-76, 2001
35
- [9] T. Kusuki et al., Extended Abstracts of the Electrochemical Society, Vol. 93, No. 1, p. 375, 1993

Bezugszeichenliste

100	Leiterbahnanordnung gemäß erstem Ausführungsbeispiel
101	Substrat
102	Substratoberfläche
103	Leiterbahn
104	Pufferschicht
105	Pufferschichtoberfläche
106	untere Leiterbahnoberfläche
107	Hohlraum
108	obere Leiterbahnoberfläche
109	zusätzlicher Hohlraum
110	Pfosten
111	Deckschicht
112	Deckschichtoberfläche
T_L	Leiterbahntiefe
T_H	Hohlraumtiefe
200	noch nicht fertiggestellte Leiterbahnanordnung gemäß erstem Ausführungsbeispiel zu einem ersten Zeitpunkt während eines ersten Herstellungsverfahrens
201	Graben
300	noch nicht fertiggestellte Leiterbahnanordnung gemäß erstem Ausführungsbeispiel zu einem zweiten Zeitpunkt während des ersten Herstellungsverfahrens
301	Metallschicht
302	gefüllter Graben
400	noch nicht fertiggestellte Leiterbahnanordnung gemäß erstem Ausführungsbeispiel zu einem dritten Zeitpunkt während des ersten Herstellungsverfahrens
401	Leiterbahn
500	noch nicht fertiggestellte Leiterbahnanordnung gemäß erstem Ausführungsbeispiel zu einem vierten Zeitpunkt während des ersten Herstellungsverfahrens

- 600 noch nicht fertiggestellte Leiterbahnanordnung gemäß
erstem Ausführungsbeispiel zu einem ersten Zeitpunkt
während eines zweiten Herstellungsverfahrens
- 601 Substrat
- 602 Substratoberfläche
- 603 Leiterbahn
- 700 noch nicht fertiggestellte Leiterbahnanordnung gemäß
erstem Ausführungsbeispiel zu einem zweiten Zeitpunkt
während des zweiten Herstellungsverfahrens
- 701 Hüllschicht
- 800 noch nicht fertiggestellte Leiterbahnanordnung gemäß
erstem Ausführungsbeispiel zu einem dritten Zeitpunkt
während des zweiten Herstellungsverfahrens
- 801 planarisierte Hüllschicht
- 802 Hüllschichtoberfläche
- 900 noch nicht fertiggestellte Leiterbahnanordnung gemäß
erstem Ausführungsbeispiel zu einem ersten Zeitpunkt
während eines gemeinsamen weiteren
Herstellungsverfahrens
- 1000 noch nicht fertiggestellte Leiterbahnanordnung gemäß
erstem Ausführungsbeispiel zu einem zweiten Zeitpunkt
während des gemeinsamen weiteren
Herstellungsverfahrens
- 1100 Kontaktloch
- 1101 Kontaktlochisolierung
- 1102 Kontaktlochummantelung
- 1200 Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel
- 1201 Grundsubstrat
- 1202 erste Stoppschicht
- 1203 erste Isolationsschicht
- 1204 zweite Stoppschicht
- 1205 zweite Isolationsschicht
- 1206 dritte Stoppschicht
- 1207 dritte Isolationsschicht
- 1208 elektrischer Kontakt

- 1209 vierte Stoppschicht
- 1210 Trageschicht
- 1211 Deckschicht/Trageschicht-Oberfläche
- 1212 fünfte Stoppschicht
- A Leiterbahnabstand
- 1300 Leiterbahnanordnung gemäß drittem Ausführungsbeispiel
- B Hohlraumbreite
- C Lochbreite
- 1400 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem ersten Zeitpunkt während eines Herstellungsverfahrens
- 1500 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem zweiten Zeitpunkt während des Herstellungsverfahrens
- 1600 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem dritten Zeitpunkt während des Herstellungsverfahrens
- 1700 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem vierten Zeitpunkt während des Herstellungsverfahrens
- 1800 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem fünften Zeitpunkt während des Herstellungsverfahrens
- 1900 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem sechsten Zeitpunkt während des Herstellungsverfahrens
- 2000 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem siebten Zeitpunkt während des Herstellungsverfahrens
- 2001 selektive Isolationsschicht
- 2100 noch nicht fertiggestellte Leiterbahnanordnung gemäß zweitem Ausführungsbeispiel zu einem achten Zeitpunkt während des Herstellungsverfahrens
- 2101 zugewachsene selektive Isolationsschicht
- 2102 zwickelförmige Aussparung

- 2200 noch nicht fertiggestellte Leiterbahnanordnung gemäß
; zweitem Ausführungsbeispiel zu einem neunten Zeitpunkt
während des Herstellungsverfahrens
- 2300 noch nicht fertiggestellte Leiterbahnanordnung gemäß
drittem Ausführungsbeispiel zu einem ersten Zeitpunkt
während eines Herstellungsverfahrens (vgl. 1900)
- 2301 Loch
- 2400 noch nicht fertiggestellte Leiterbahnanordnung gemäß
drittem Ausführungsbeispiel zu einem zweiten Zeitpunkt
während des Herstellungsverfahrens

Patentansprüche**1. Leiterbahnanordnung**

- mit einem Substrat aus einem ersten elektrischen
5 Isolationsmaterial, welches eine Substratoberfläche aufweist,
- mit mindestens zwei nebeneinander angeordneten elektrisch leitfähigen Leiterbahnen, wobei die Leiterbahnen ein elektrisch leitfähiges Material aufweisen und in dem
10 Substrat angeordnet sind,
- mit einer Pufferschicht aus einem zweiten elektrischen Isolationsmaterial über der Substratoberfläche, wobei die Pufferschicht eine zu der Substratoberfläche parallele Pufferschichtoberfläche aufweist,
- 15 • mit mindestens einem von der Pufferschichtoberfläche aus durch die Pufferschicht hindurch in das Substrat hineinragenden Hohlraum, welcher zwischen den Leiterbahnen angeordnet ist und bezüglich der Pufferschichtoberfläche tiefer als die Leiterbahnen in
20 das Substrat hineinragt, und
- mit einer über der Pufferschicht angeordneten Deckschicht,
- wobei die Deckschicht ein drittes elektrisches Isolationsmaterial aufweist und den Hohlraum vollständig
25 zur Pufferschichtoberfläche hin abschließt.

2. Leiterbahnanordnung gemäß Anspruch 1,

bei der die Leiterbahnen in dem Substrat vergraben angeordnet sind.

30

3. Leiterbahnanordnung gemäß Anspruch 1 oder 2,

bei der sich der Hohlraum teilweise in die Deckschicht erstreckt.

- 35 4. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 3, bei der die Deckschicht im Bereich der Pufferschicht teilweise in den Hohlraum hineinreicht, wobei die Deckschicht

von der Pufferschichtoberfläche aus betrachtet in dem Hohlraum eine abnehmende Kantenbedeckung aufweist, so dass die Deckschicht in dem Hohlraum nicht bis zu der Substratoberfläche hinabreicht.

5

5. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 4, bei der die Deckschicht die Pufferschicht überdeckt und bei der sich zwischen den Leiterbahnen und der Pufferschichtoberfläche mindestens ein zusätzlicher Hohlraum befindet, wobei der Hohlraum tiefer in die Pufferschicht bzw. das Substrat hineinragt als der zusätzliche Hohlraum.

10

6. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 5, bei der von der Pufferschichtoberfläche aus mehrere Hohlräume zwischen zwei benachbarte Leiterbahnen in das Substrat hineinragen.

15

7. Leiterbahnanordnung gemäß Anspruch 1, bei der über der Pufferschichtoberfläche eine Trageschicht aus einem vierten elektrischen Isolationsmaterial angeordnet ist, wobei das vierte elektrische Isolationsmaterial ungleich dem ersten, zweiten oder dritten elektrischen Isolationsmaterial ist und wobei sich das dritte elektrische Isolationsmaterial selektiv nur an dem vierten elektrischen Isolationsmaterial abscheiden lässt.

20

25

8. Leiterbahnanordnung gemäß Anspruch 7, bei der in dem Substrat relativ zur Substratoberfläche unter den Leiterbahnen eine Stoppschicht vorgesehen ist, welche den Hohlraum im Substrat nach unten begrenzt.

30

9. Leiterbahnanordnung gemäß Anspruch 8, bei der die Stoppschicht im Bereich des Hohlraums entfernt ist, so dass Bereiche des Substrats, welche unter der Stoppschicht angeordnet sind, freigelegt sind.

35

10. Leiterbahnanordnung gemäß einem der Ansprüche 7 bis 9, bei der über der Trageschicht und der Deckschicht eine zusätzliche Stoppschicht vorgesehen ist, auf der zusätzliche Leiterbahnebenen vorgesehen sein können.

5

11. Leiterbahnanordnung gemäß einem der Ansprüche 7 bis 10, bei der die Leiterbahnen in einem Abstand zueinander angeordnet sind, welcher kleiner ist als die Ausdehnung des Hohlraums in Richtung des Abstandes zwischen den Leiterbahnen oberhalb und/oder unterhalb der Leiterbahnen.

10

12. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 11, bei der das erste elektrische Isolationsmaterial und das zweite elektrische Isolationsmaterial gleich sind.

15

13. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 12, bei der das erste elektrische Isolationsmaterial und/oder das zweite elektrische Isolationsmaterial und/oder das dritte elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial ein low-k-Material sind/ist, das eine relative Dielektrizitätskonstante ϵ_r im Bereich zwischen 1 und 4 hat.

20

14. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 13, bei der das erste elektrische Isolationsmaterial und/oder das zweite elektrische Isolationsmaterial und/oder das dritte elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial ein organisches Material aufweisen/aufweist.

25

30

15. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 13, bei der das erste elektrische Isolationsmaterial und/oder das zweite elektrische Isolationsmaterial und/oder das vierte elektrische Isolationsmaterial Siliziumdioxid aufweisen/aufweist.

35

16. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 15,
bei der die Leiterbahnen im Wesentlichen in gleicher Tiefe
bezüglich der Substratoberfläche angeordnet sind und der
Hohlraum im Wesentlichen senkrecht in das Substrat
5 hineinragt.
17. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 16,
bei der die Leiterbahnen von einer dünnen Kapselschicht aus
einem Kapselmaterial eingekapselt sind, wobei das
10 Kapselmaterial mechanisch härter als das elektrisch
leitfähige Material, mechanisch härter als das erste
elektrische Isolationsmaterial sowie mechanisch härter als
das zweite elektrische Isolationsmaterial ist.
- 15 18. Leiterbahnanordnung gemäß Anspruch 17,
bei der das Kapselmaterial eine Nitrid-Verbindung ist.
19. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 18,
bei der die Leiterbahnen zumindest teilweise auf elektrisch
20 leitfähigen Bereichen in dem Substrat angeordnet sind,
wodurch elektrische Kontakte zwischen verschiedenen
Leiterbahnebenen möglich sind.
20. Verfahren zum Herstellen einer Leiterbahnanordnung,
25 • bei dem in einem Substrat unter einer Substratoberfläche
mindestens zwei elektrisch leitfähige Leiterbahnen
erzeugt werden, wobei das Substrat ein erstes
elektrisches Isolationsmaterial und die Leiterbahnen ein
elektrisch leitfähiges Material aufweisen, und wobei die
30 Leiterbahnen nebeneinander in dem Substrat angeordnet
werden,
• bei dem über der Substratoberfläche eine Pufferschicht
aus einem zweiten elektrischen Isolationsmaterial erzeugt
wird, wobei die Pufferschicht eine zu der
35 Substratoberfläche parallele Pufferschichtoberfläche
aufweist,

- bei dem ein von der Pufferschichtoberfläche aus durch die Pufferschicht hindurch in das Substrat hineinragender, zwischen den Leiterbahnen sich erstreckender Hohlraum erzeugt wird, wobei sich der Hohlraum bezüglich der Pufferschichtoberfläche tiefer in das Substrat hinein erstreckt als die Leiterbahnen, und
 - bei dem über der Pufferschicht eine Deckschicht aus einem dritten elektrischen Isolationsmaterial erzeugt wird, wodurch der Hohlraum vollständig zur Pufferschichtoberfläche hin abgeschlossen wird, und wobei aus dem Substrat, den Leiterbahnen, der Pufferschicht und der Deckschicht die Leiterbahnanordnung gebildet wird.
21. Verfahren gemäß Anspruch 20,
- bei dem die Leiterbahnen als vergrabene Leiterbahnen in dem Substrat erzeugt werden.
22. Verfahren gemäß Anspruch 20 oder 21,
- bei dem vor dem Erzeugen der Deckschicht zwischen der Pufferschichtoberfläche und den Leiterbahnen ein zusätzlicher Hohlraum über den Leiterbahnen erzeugt wird, welcher sich in geringerer Tiefe in die Pufferschicht bzw. das Substrat hinein erstreckt als der Hohlraum.
23. Verfahren gemäß einem der Ansprüche 20 bis 22,
- bei dem die Deckschicht in einem Prozess mit einer geringen Kantenbedeckung erzeugt wird.
24. Verfahren gemäß einem der Ansprüche 20 bis 23,
- bei dem von der Pufferschichtoberfläche aus mehrere sich zwischen die Leiterbahnen erstreckende Hohlräume erzeugt werden.
25. Verfahren gemäß Anspruch 20,
- bei dem über der Pufferschichtoberfläche eine Trageschicht aus einem vierten elektrischen Isolationsmaterial erzeugt wird, wobei das vierte elektrische Isolationsmaterial

ungleich dem ersten, zweiten oder dritten elektrischen Isolationsmaterial ist und wobei sich das dritte elektrische Isolationsmaterial selektiv nur an dem vierten elektrischen Isolationsmaterial abscheiden lässt.

5

26. Verfahren gemäß Anspruch 25,
bei dem der Hohlraum dadurch erzeugt wird, dass zunächst auf der Trageschicht eine geeignete Ätzmaske erzeugt wird, dann mittels eines Ätzprozesses in Bereichen der Trageschicht,
10 welche mittels der Ätzmaske nicht bedeckt werden, Material der Trageschicht, der Pufferschicht und des Substrates in vorbestimmter Weise entfernt wird, und schließlich die Ätzmaske wieder entfernt wird.

15 27. Verfahren gemäß Anspruch 26,
bei dem ein Substrat bereitgestellt wird, welches relativ zur Substratoberfläche unter den Leiterbahnen eine Stoppschicht aufweist, und bei dem der Ätzprozess zum Erzeugen des Hohlraums in dem Substrat mittels der Stoppschicht nach unten
20 begrenzt wird.

28. Verfahren gemäß Anspruch 27,
bei dem die Stoppschicht im Bereich des Hohlraums selektiv entfernt wird, so dass Bereiche des Substrats, welche unter
25 der Stoppschicht angeordnet sind, freigelegt werden.

29. Verfahren gemäß einem der Ansprüche 25 bis 28,
bei dem die Deckschicht derart erzeugt wird, dass zunächst drittes elektrisches Isolationsmaterial selektiv nur auf dem
30 vierten elektrischen Isolationsmaterial mindestens solange abgeschieden wird, bis der Hohlraum vollständig abgeschlossen ist, und dann das dritte elektrische Isolationsmaterial, welches auf der Trageschicht abgeschieden wurde, mittels chemisch-mechanischen Polierens teilweise wieder entfernt
35 wird und somit die Deckschicht eingeebnet wird.

30. Verfahren gemäß einem der Ansprüche 25 bis 29,
bei dem über der Trageschicht sowie der Deckschicht eine
zusätzliche Stoppschicht erzeugt wird, auf der zusätzliche
Leiterbahnebenen aufgebracht werden können.

5

31. Verfahren gemäß einem der Ansprüche 25 bis 30,
bei dem die Leiterbahnen in einem Abstand zueinander
angeordnet werden, welcher kleiner ist als die Ausdehnung des
Hohlraums in Richtung des Abstandes zwischen den Leiterbahnen
10 oberhalb und/oder unterhalb der Leiterbahnen.

32. Verfahren gemäß einem der Ansprüche 20 bis 31,
bei dem die Leiterbahnen im Wesentlichen in gleicher Tiefe
bezüglich der Substratoberfläche erzeugt werden und bei dem
15 der Hohlraum im Wesentlichen senkrecht in das Substrat
hineinragend erzeugt wird.

33. Verfahren gemäß einem der Ansprüche 20 bis 32,
bei dem die Leiterbahnen mit einer dünnen Kapselschicht aus
20 einem Kapselmaterial eingekapselt werden, wobei das
Kapselmaterial mechanisch härter als das elektrisch
leitfähige Material, mechanisch härter als das erste
elektrische Isolationsmaterial sowie mechanisch härter als
das zweite elektrische Isolationsmaterial ist.

25

34. Verfahren gemäß einem der Ansprüche 20 bis 33,
bei dem die Leiterbahnen zumindest teilweise auf elektrisch
leitfähigen Bereichen in dem Substrat erzeugt werden, wodurch
elektrische Kontakte zwischen verschiedenen Leiterbahnebenen
30 ermöglicht werden.

1/12

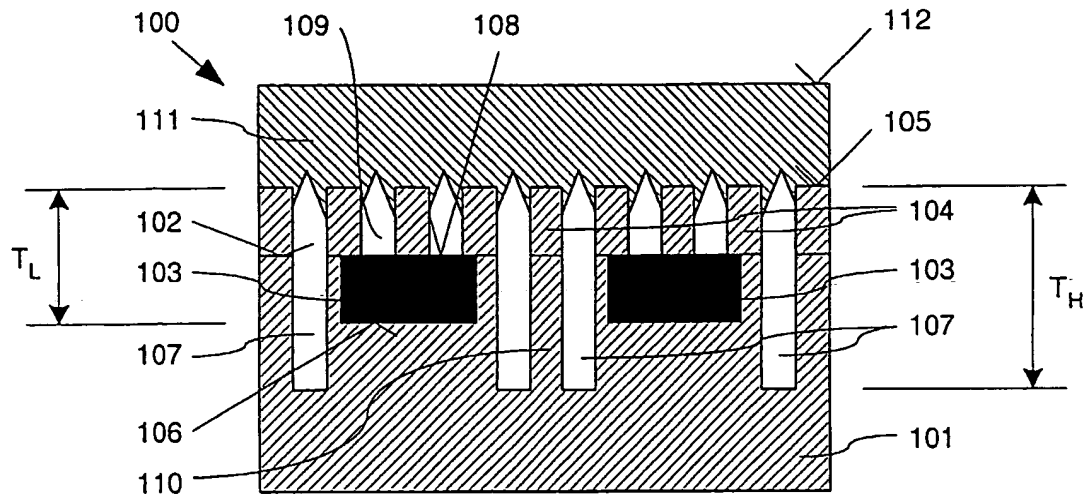


Fig.1

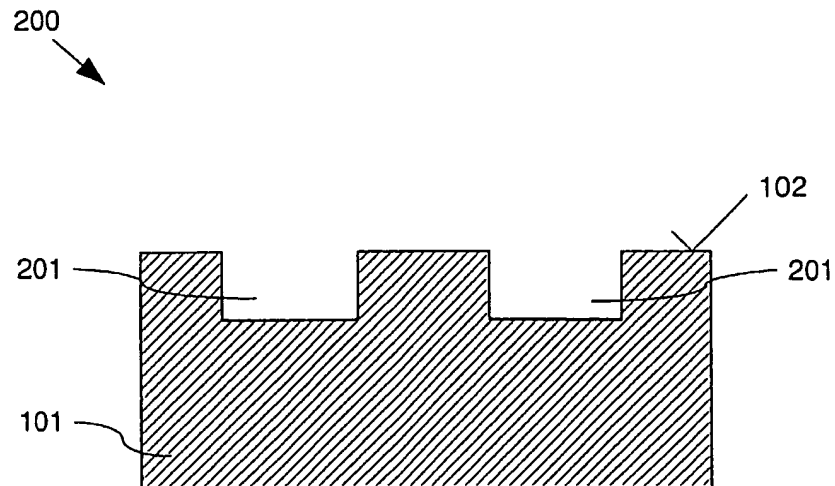


Fig.2

2/12

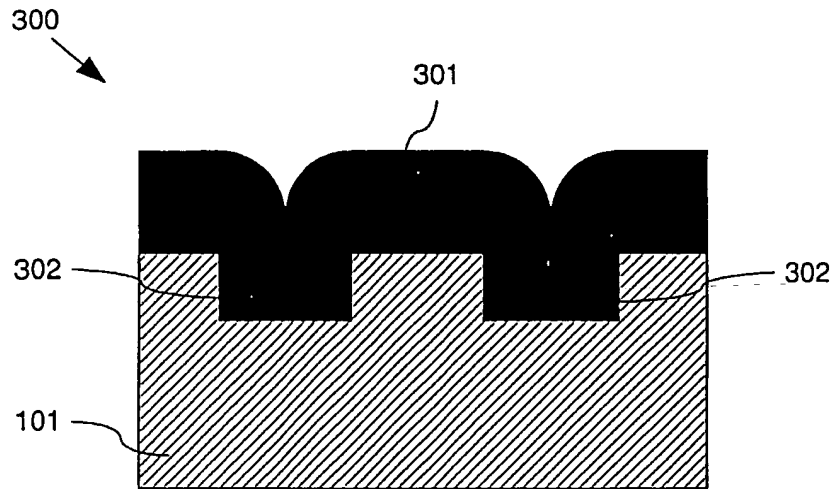


Fig.3

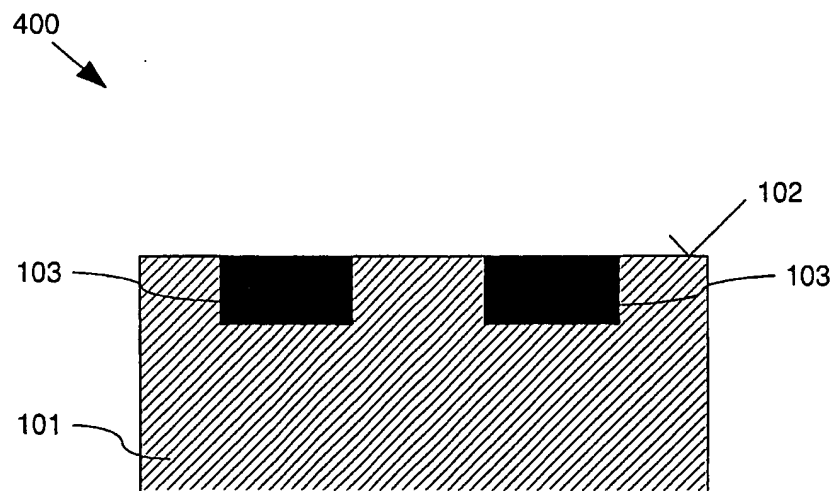


Fig.4

3/12

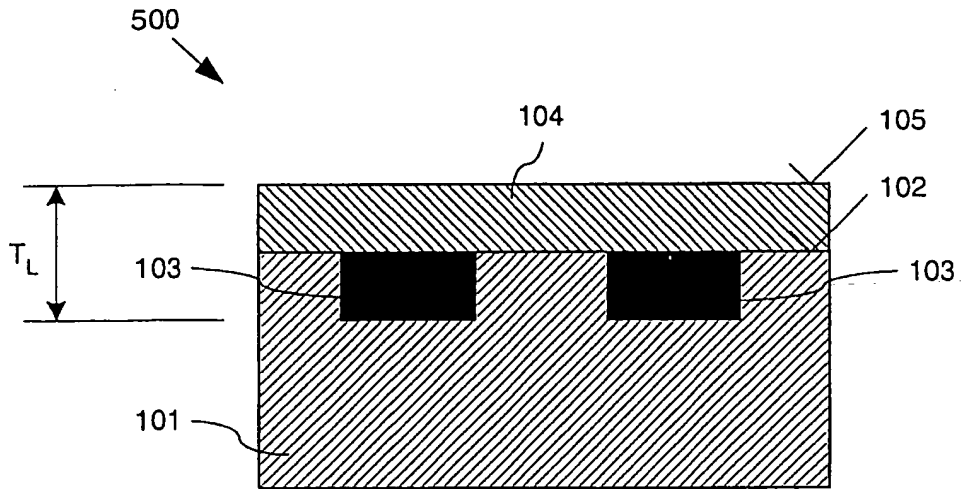


Fig.5

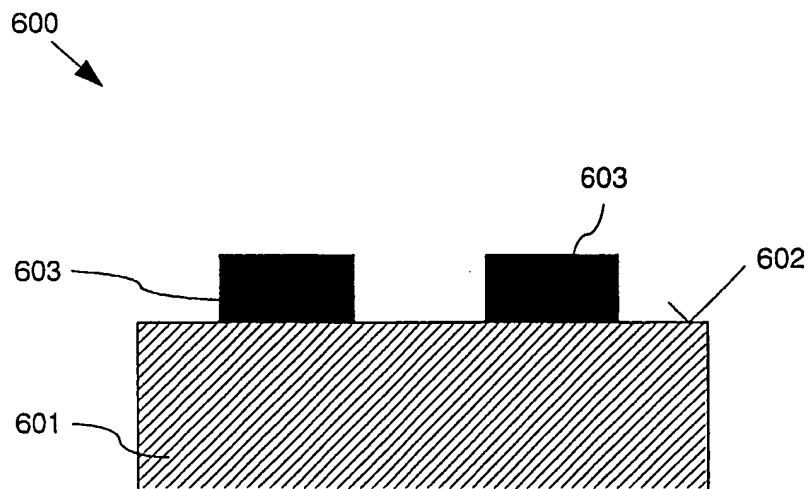


Fig.6

4/12

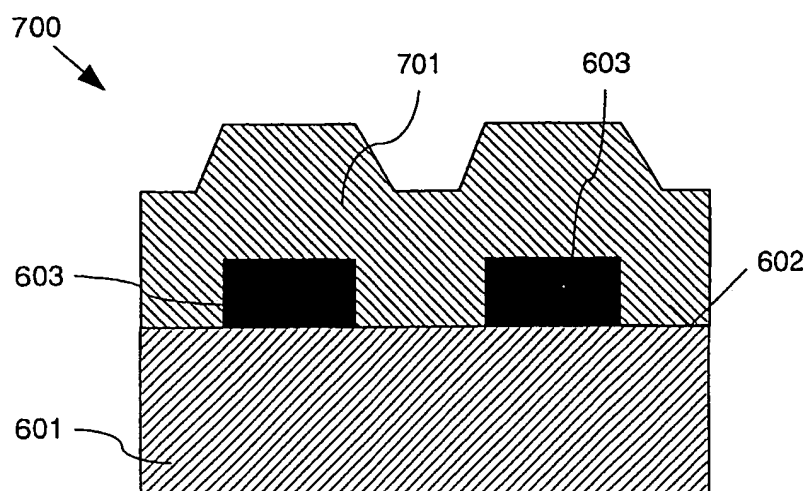


Fig.7

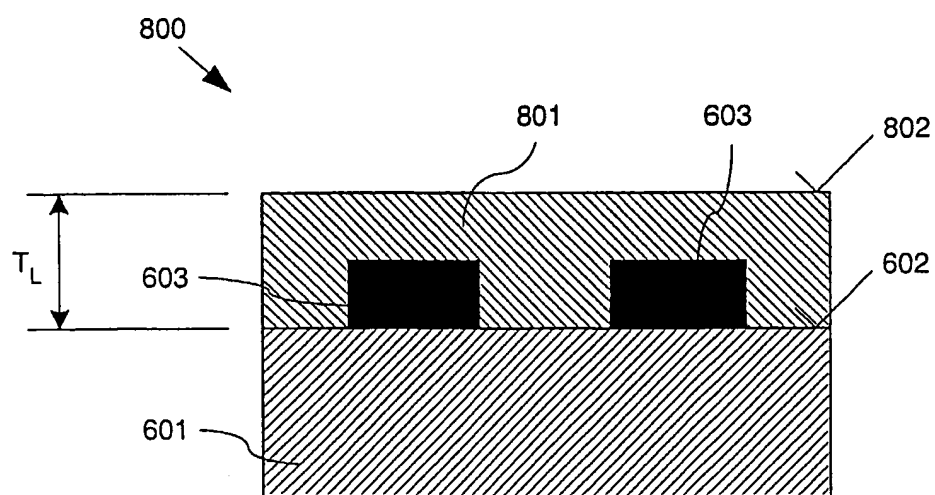


Fig.8

5/12

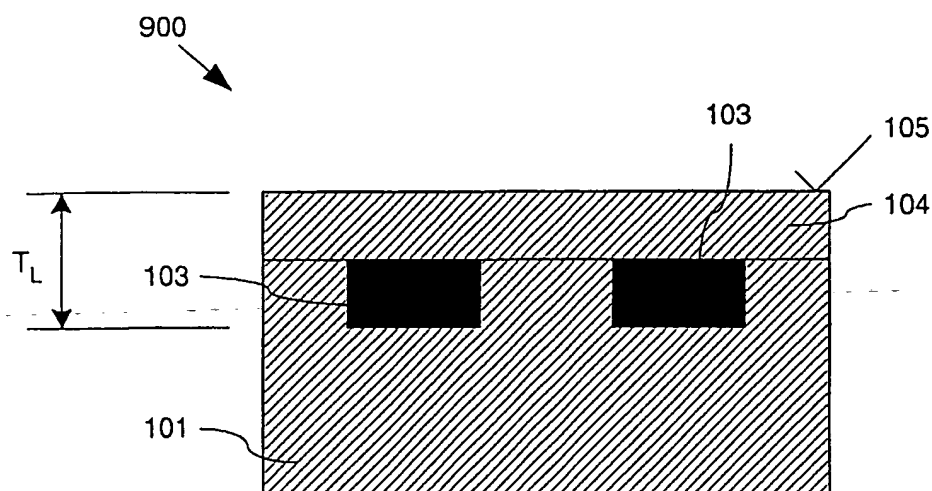


Fig.9

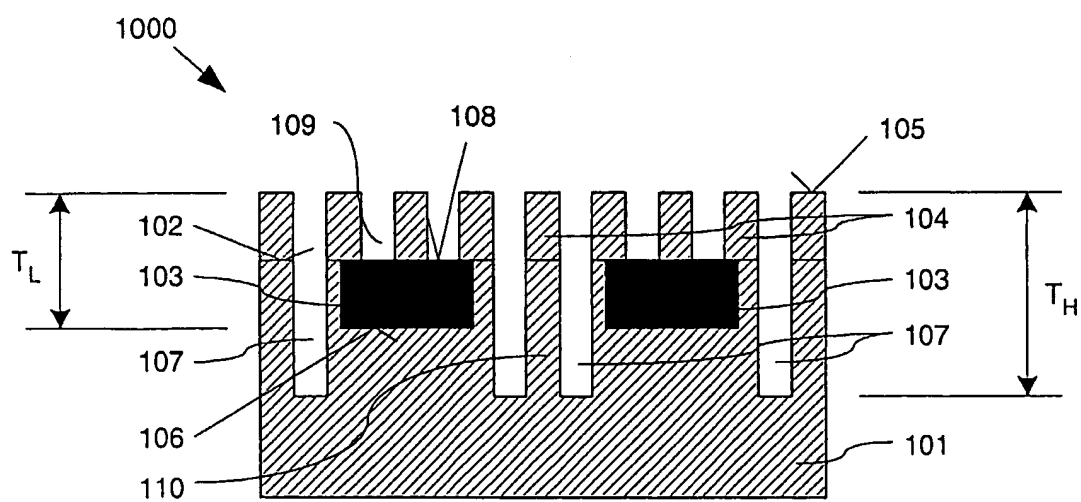


Fig.10

7/12

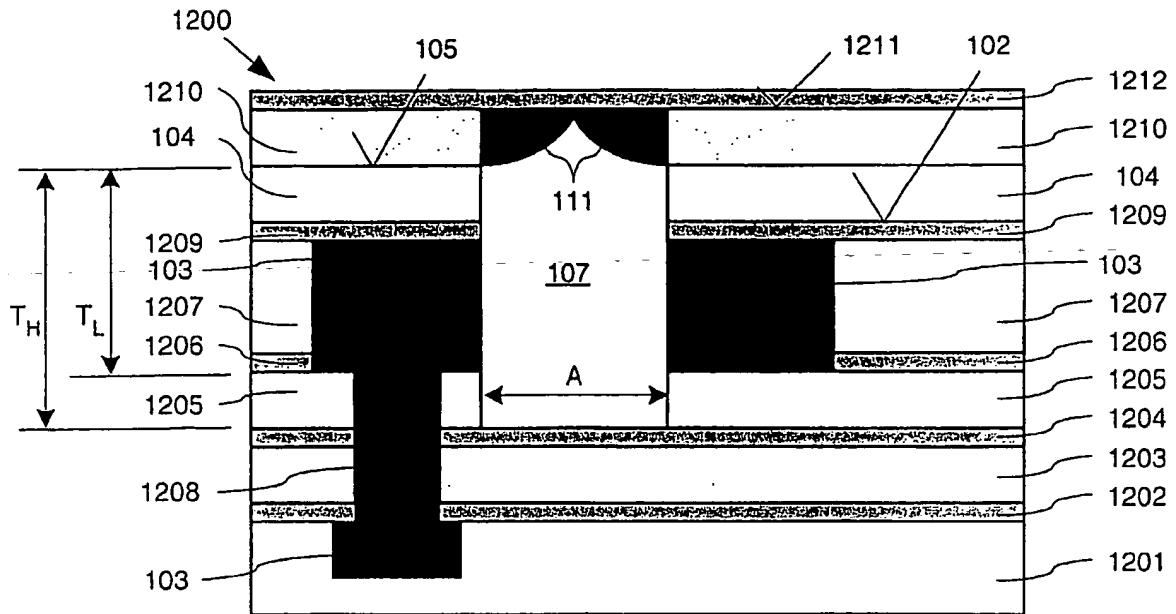


Fig.12

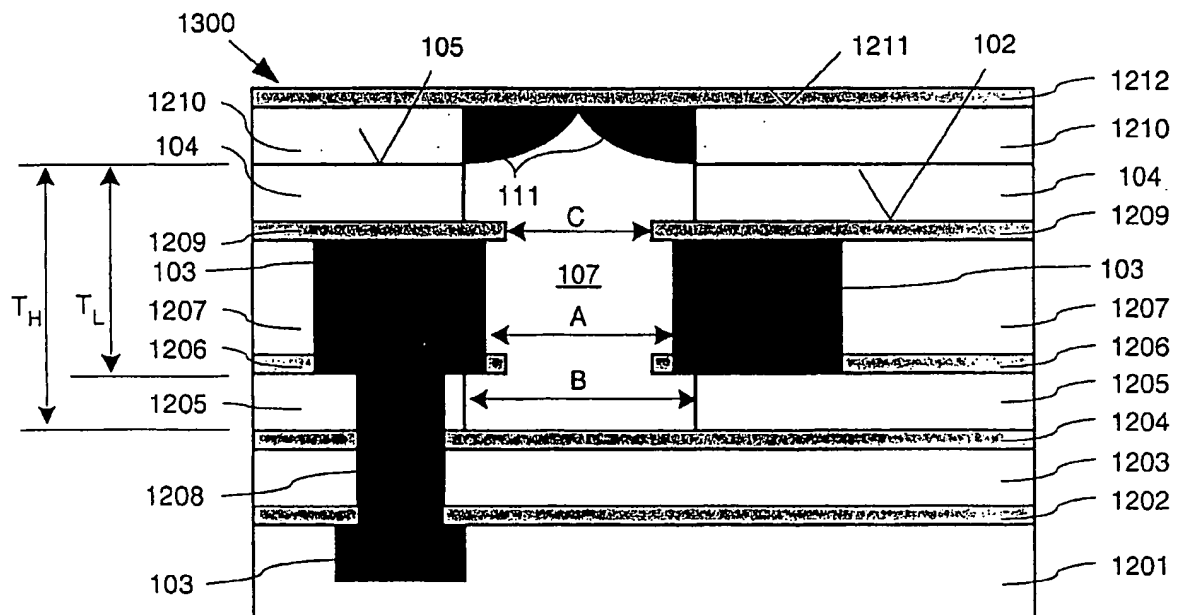


Fig.13

8/12

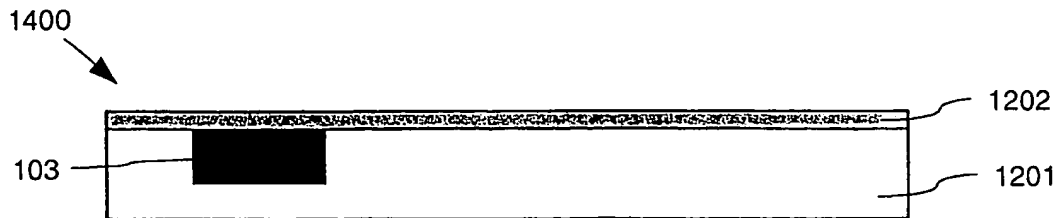


Fig.14

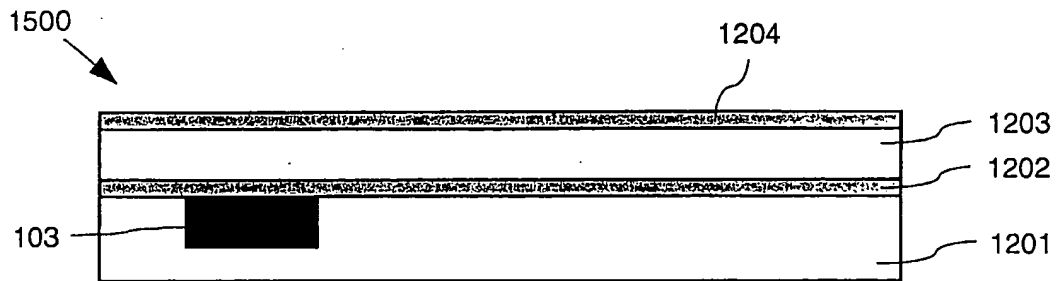


Fig.15

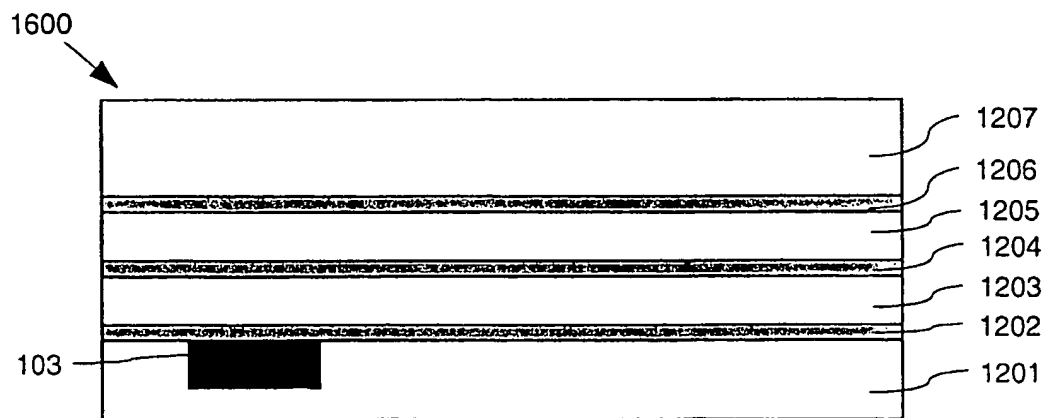


Fig.16

9/12

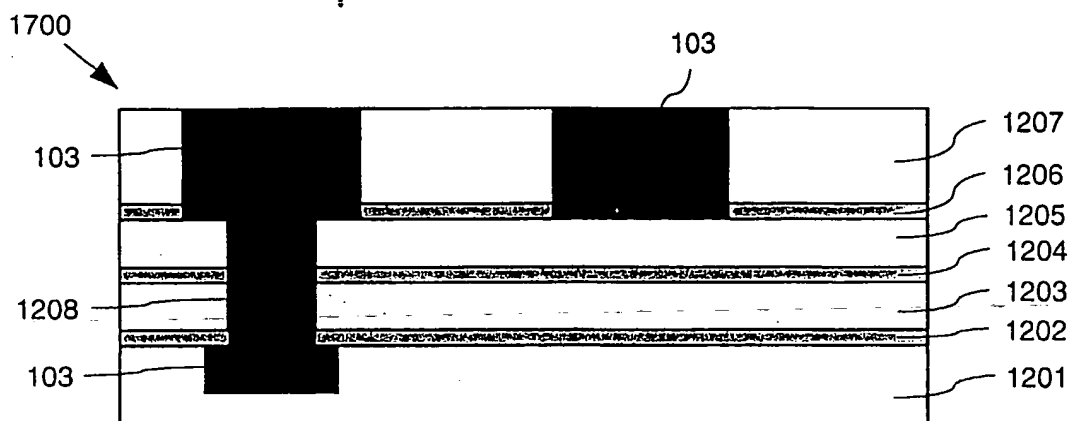


Fig.17

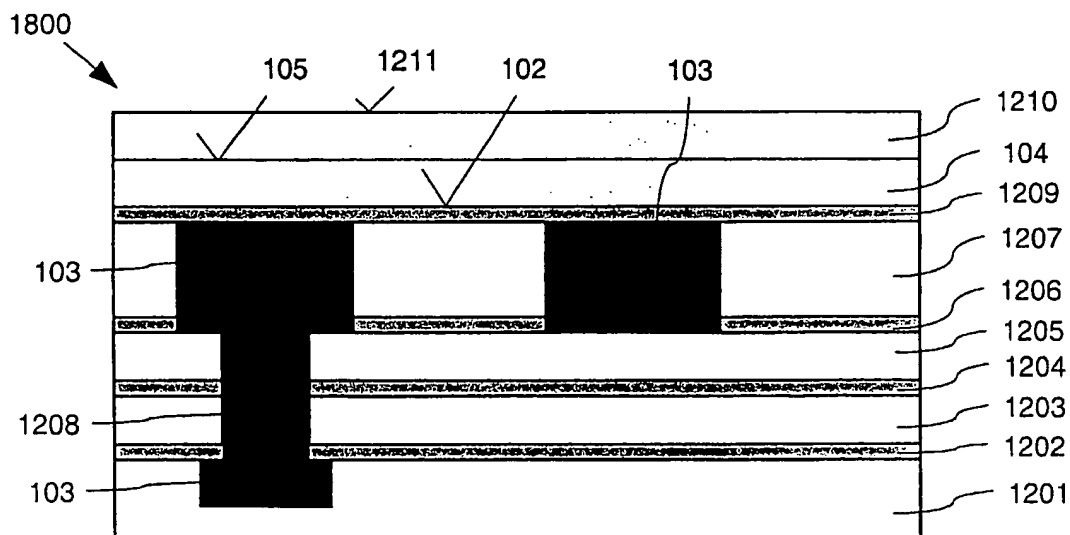


Fig.18

10/12

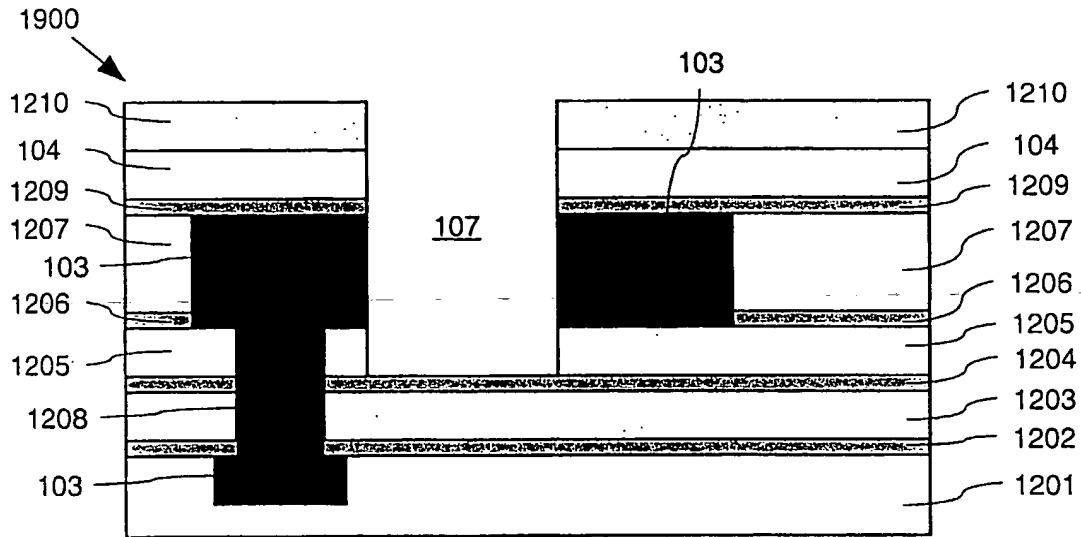


Fig.19

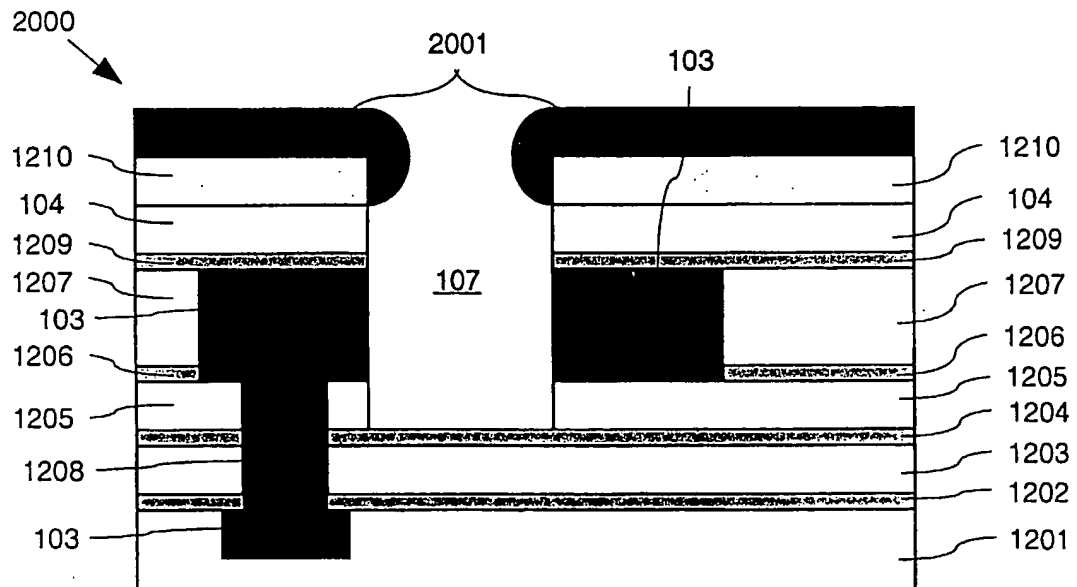


Fig.20

11/12

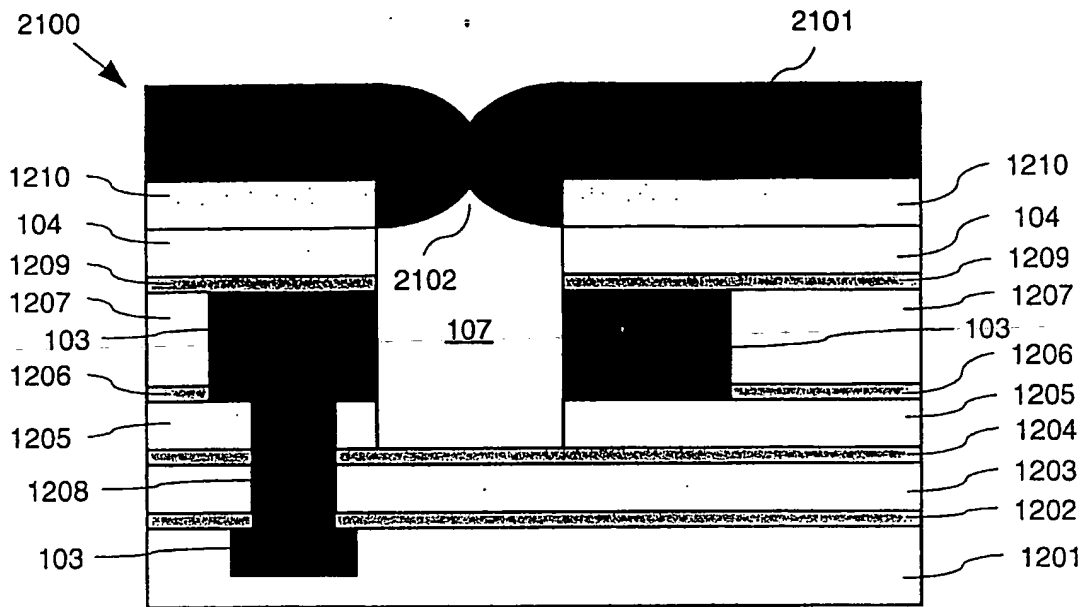


Fig.21

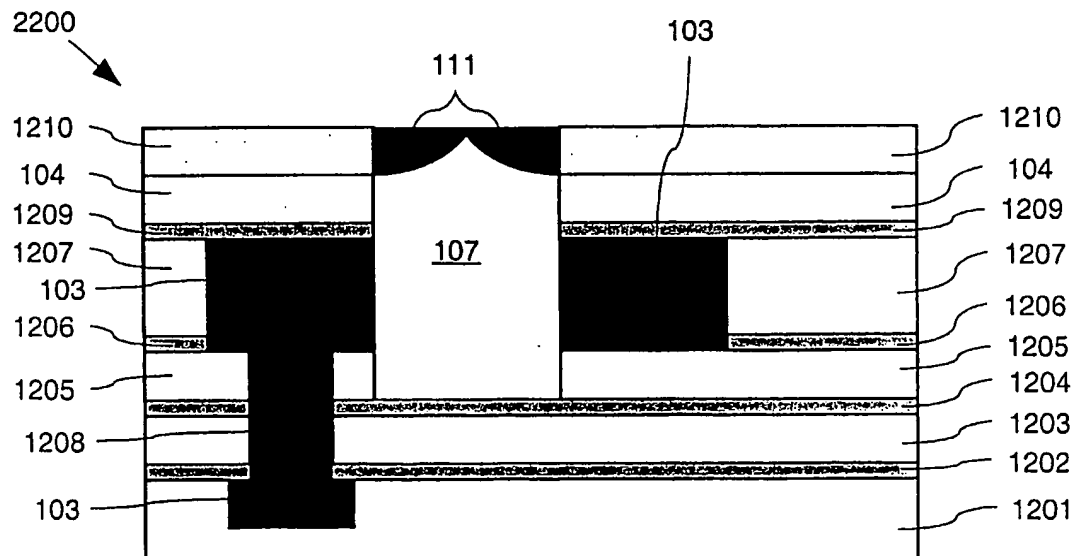


Fig.22

12/12

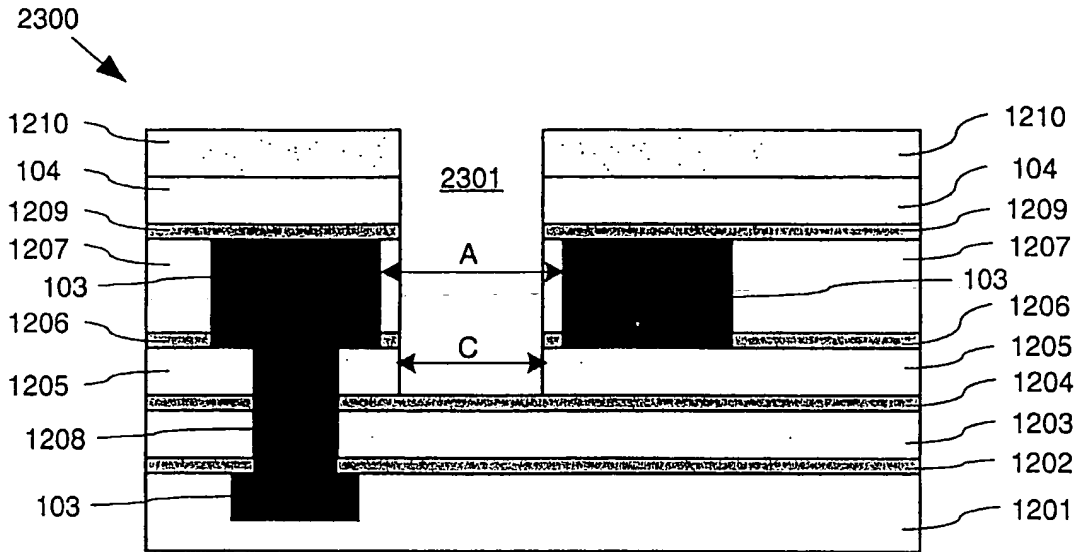


Fig.23

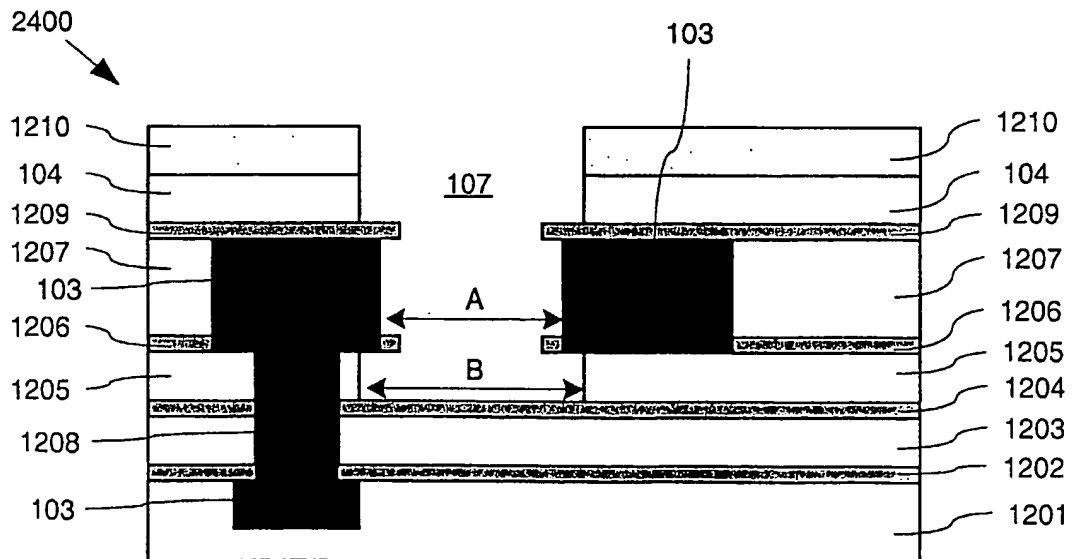


Fig.24

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.